APJ. 5(2):26-40, Summer 2024

Arman Process Journal (APJ)

Quarterly Journal of ICT APJ

License Number: 87090

Arman Process Journal (APJ)

Homepage: https://www.armanprocessjournal.ir

Wireless Portable Video on Demand System and Pyramidal VQ Decoder Method with Low Power Video Rate Survey

S. Gohari[*,1]

[1] Computer Engineering Department, Islamic Azad University , North Tehran Branch ,Tehran , Iran

RESEARCH PAPER

Received: 17 April 2024
Accepted: 26 June 2024

KEYWORDS:
VQ Decoder,
Encoder,
2D Decoder,
Low Power Video Rate,
PVQ Vector,
Chip Architecture,

ABSTRACT

The portable video-on-demand system is a video compression system for transmitting video in a wireless network, it is sent in smaller packets and uses Wi-Fi and Bluetooth standards to connect to mobile devices and tablets at any time and place. There is a method for transmitting video in a portable wireless network. Here, we use the VQ pyramid decoding method, a video compression method that we used to transmit video in wireless networks with limited bandwidth. This method is able to reduce the amount of data and preserve In this method, the video quality is divided into two small frames. This algorithm uses a set of quantized codes to select the closest code to each block of the frame, and then this code is used as a representative of the block in the frame. The method instead of transmitting all the block information, only the block representative code information is transmitted, which reduces the data volume. In fact, VQ pyramid decoding is an efficient method for video compression and transmission in wireless networks, which reduces the data volume and maintains the video quality. It provides the possibility of transmitting and watching high-quality video in a network with limited bandwidth. Overall, literature reviews in this field analyze and examine these techniques and their applications for optimizing video systems, and they aim to find the best methods for compressing videos with high quality at low bit rates.

[1] Corresponding author:
sgohari.1984@gmail.com

نشریه تخصصی آرمان پردازش، دوره ۵، شماره ۲، تابستان ۱۴۰۳

فصلنامه تخصصی آرمان پردازش
(APJ)
Homepage: www.armanprocessjournal.ir

فصلنامه تخصصی فناوری اطلاعات و ارتباطات
شماره مجوز: ۸۷۰۹۰

مروری بر سیستم های ویدئو مبتنی بر تقاضای پورتابل بی سیم و روش کدگشایی VQ هرمی با نرخ ویدئویی کم توان

سپیده گوهری [۱،*]
دانشکده مهندسی کامپیوتر، دانشگاه آزاد اسلامی، واحد تهران شمال، تهران، ایران

چکیده

مقاله پژوهشی

واژگان کلیدی:
رمزگذارVQ،
رمزگشا،
رمزگزار دو بعدی،
نرخ ویدئو کم مصرف، وکتور PVQ،
معماری تراشه،

سیستم ویدئویی مبتنی بر تقاضای پورتابل یک سیستم فشرده سازی ویدئو است برای انتقال ویدئو در شبکه بی سیم بصورت بسته های کوچکتر ارسال می شود و از استاندارد وای فای و بلوتوث استفاده می کند قابلیت اتصال به دستگاه های تلفن همراه تبلت در هر زمان و مکان را دارد یک روش برای انتقال ویدئو درشبکه بی سیم قابل حمل است ما در اینجا روش کد گشایی هرمی VQیک روش فشرده سازی ویدئو که برای انتقال ویدئو در شبکه های بی سیم با پهنای باند محدود به کار بردیم این روش قادر به کاهش حجم داده ها و حفظ کیفیت ویدئو است در این روش به جندین فریم کوچک تقسیم می شود که این الگوریتم با استفاده از یک مجموعه از کدهای کوانتیزه شده نزدیکترین کد به هر بلوک از فریم را انتخاب می کند و سپس این کد بعنوان نماینده بلوک در فریم استفاده می شود در این روش بجای انتقال تمام اطلاعات بلوک فقط اطلاعات کد نماینده بلوک انتقال می یابد که باعث کاهش حجم داده است در واقع کدگشایی هرمی VQ یک روش کارآمد برای فشرده سازی و انتقال ویدئو در شبکه های بی سیم است که با کاهش حجم داده ها و حفظ کیفیت ویدئو امکان انتقال و تماشای ویدئو با کیفیت در شبکه با پهنای باند محدود را فراهم می کند. ما می توانیم با محیط سیمی ، در شرایط اتصال فیزیکی کدگذار /کدگشا کار بکنیم. این مقاله یک سیستم ویدئو مبتنی بر تقاضا پورتابل ارائه می کند که با داده ویدئویی با کیفیت بالا در محیط بی سیم کار می کند. ما روی تکنیک های طراحی مدار و معماری تمرکز می کنیم، تا سیستم فشرده سازی /از فشرده خارج کردن با عملکرد بالا را توسعه بدهیم که از نظر توان هم کم مصرف تر از موارد فعلی باشند. این سیستم نه تنها از نظر فشرده سازی موثر است بلکه در زمان انتقال هم در برابر خطا تحمل دارد. به طور کلی، پژوهش‌های مروری در این زمینه به تحلیل و بررسی این تکنیک‌ها و کاربردهای آنها برای بهینه‌سازی سیستم‌های ویدیویی پرداخته و به دنبال یافتن بهترین روش‌ها برای فشرده‌سازی ویدیو با کیفیت بالا و نرخ داده پایین هستند.

مقدمه

امروزه استانداردهای فشرده سازی مثل JPEG برای عکس ها و MPEG برای ویدئو رایج هستند. آنها عملکرد فشرده سازی خوبی دارند، ولی برای کاربردهای سیار بهینه نیستند. چون نیاز سخت افزاری زیاد دارند، پیاده سازی آن ها توان زیادی می خواهد و به خرابی بیت هم حساس هستند. ما طبق تجزیه باند فرعی و کمی سازی بردار هرمی (PVQ) الگوریتمی پیشنهاد می دهیم، که کیفیت تصویر و کارایی فشرده سازی ، با پیچیدگی کمتر ، و تاب اوری زیاد با هم فراهم می شوند. الگوریتم باند فرعی /PVQ ما بهتر از JPEG با یا بدون حفاظت عمل می کند. و سربار پهنای باند ناشی از کدهای تصحیح خطا در آن وجود ندارد. طرح ما فشرده سازی نرخ-ثابت می باشد و در مقایسه با استاندارد JPEG نرخ-متغیر تاب آوری بیشتر از خود نشان می دهد. در مقایسه با دیکودر JPEG مکعب سی ، که در فناوری CMOS ۱,۲ میکرومتری پیاده شده و یک وات مصرف می کند و ۳۰ فریم در ثانیه را دیکود می کند، دیکودر باندفرعی /PVQ ما بیشتر از ۱۰۰ برابر از نظر توان موثرتر است، نیازی به توان در دسترسی حافظه برون تراشه ندارد. با فاکتور ۱۰ به راحتی تغییر ولتاژ را می پذیرد. برای حفظ گذردهی ، یا عملکرد بلادرنگ، سخت افزار باید دو برابر شود، پس مساحت تراشه زیاد می شود. دیکودر نرخ -ویدئوی ما می تواند با کمتر از ۷۰۰۰۰۰ ترانزیستور ساخته شود و با ولتاژ ۱,۵ ولت کمترهم کار کند. و به سخت افزار بیرونی نیاز ندارد [۲-۱] . فرضیه ما ارائه سیستم ویدئویی مبتنی بر الگوریتم های هوش مصنوعی و یادگیری ماشین به بهبود قابل توجهی در تشخیص و توصیه محتوا را در محیط های مختلف تلفن همراه و تبلت و دستگاه های هوشمند این امکان را می دهد تا هر زمان و هر مکانی که بخواهند به محتوا دسترسی داشته باشند و ما قابلیت انتقال ویدئو بدون نیاز به اینترنت پر سرعت را فراهم می کند و ب رای افرادی که در محیط های غیر قابل دسترس به تلویزیون هستند مثل سالمندان معلولان یا افرادی که در سفر هستند منسب است و هزینه مربوط به نگه داری و ایجاد ایستگاه های ویدیویی را بطور قابل توجهی کاهش می دهد و استفاده از روش کد گشایی VQ هرمی انتقال ویدئو ها در شبکه های با پهنای محدود است این روش با کاهش حجم داده ها امکان انتقال و تماشای ویدئو با کیفیت را در شبکه محدود و پر سرعت فراهم می کند و بهبود قابل توجهی در زمان پردازش ویدئو ها در دستگاه های محدود است سرعت پردازش ویدئو را افزایش می دهد و با استفاده از این روش کد گشایی حفظ کیفیت ویدئو در وضوح های مختلف می کند با استفاده از تحلیل ریاضی و شبیه سازی مختلف نظریه سیستم ویدئویی مبتنی بر تقاضا نرخ ویدیویی کم توان را بهینه می توان کرد و میزان اطلاعات مورد نیاز را کاهش داد.

پیشینه پژوهش

پیشینه پژوهش به سالهای اخیر باز می گردد با پیشرفت فناوری بی سیم و افزایش استفاده از دستگاه های قابل حمل مانند تلفن همراه تبلت نوت بوک ها نیاز به یک سیستم کارآمد برای انتقال ویدئو در شبکه های بی سیم به وجود آمد این نیاز باعث توسعه و پژوهش در زمینه سیستم ویدئویی مبتنی بر تقاضای پورتابل بی سیم شد یک روش کد گشایی هرمی VQ(Vector Quantization) فشرده سازی ویدئو است که بر مبنای کدگذاری کار می کند در این روش تصاویر ویدئو به بلاک های کوچک تر تقسیم می شوند و سپس هر بلاک با یک بردار تعبیه شده در یک کدگذار متناظر می شود این بردارها بعنوان نماینده های فشرده شده برای هر بلاک در فاز کدگذاری مورد استفاده قرار می گیرد در فاز کدگشایی بردارهای تعبیه شده با استفاده از یک جدول کدگذاری معکوس به تصاویر واقعی بازسازی می شوند این روش به کاهش حجم داده ها و افزایش سرعت انتقال در شبکه بی سیم کمک می کند بطور خلاصه سیستم مبتنی بر تقاضای پورتابل و روش کد گشایی هرمی VQ دو پیشرفت مهم در حوزه فشرده سازی و انتقال ویدئو در شبکه های بی سیم است این سیستم با استفاده از روش های فشرده سازی قوی و تکنیک های کدگشایی پیشرفته به کاربران امکان مشاهده ویدئو با کیفیت بالا را در دستگاه های قابل حمل در هر زمان و هر مکانی که به شبکه بی سیم دسترسی دارند می دهد.

دیکودر باند فرعی دو بعدی نرخ ویدئویی کم توان

فشرده سازی زیرباند هر فریم را به چندین زیر باند تقسیم می کند یک سری فیلترهای بالا گذر و پایین گذر دو بعدی اعمال می شوند. هر سطح تجزیه ، تصویر را به چهار زیر باند تقسیم می کند. و همین طور سلسله مراتبی این تقسیمات را ادامه می دهیم. انتخاب فیلتر بالا و پایین گذر به توانایی در باز تولید عکس اصلی بر می گردد [۳]. دیکودر زیر باند تک تراشه ای ، کدگشایی را طبق الگوریتم های فشرده سازی ویدئویی انجام می دهد. و مصرف توان آن خیلی کم است. قبلا این دیکودر ها بهینه نبودند و نیاز بهپشتیبانی سخت افزاری داشتند. دیکودر تک تراشه ای نیازی به حافظه برون تراشه یا کنترل ویدئو برای تحویل سیگنال های بلادرنگ به نمایشگر رنگی ندارد. از داده دو بعدی و سطوح چندگانه تجزیه زیر باند هم پشتیبانی می کند. شکل ۱ معماری آن را نشان می دهد. بافر ورودی کوچک ، داده زیر باند را ذخیره کرده . و آن را برای واحد فیلتر افقی پردازش می کند. حافظه تاخیر-خط ، خروجی های فیلتر افقی را ذخیره و آنها را به فیلتر عمودی که بعد از واحد مقیاس قرار گرفته ارسال می کند. نتایج سطح پایین تر بصورت موقتی در حافظه میانی نگه داری می شوند و برای ساختن دوباره سطح بعدی به بافر ورودی ارسال می شوند. نتایج زیر باند سطح بالا در بافر نتیجه نهایی ذخیره می شوند قبل تبدیل از YUV به فضای رنگ RGB. نتایج RGB خارج تراشه به مبدل دیجیتال به آنالوگ (DAC) و بعد به نمایشگر ارسال می شوند. دلیل محبوبیت دستگاه های موبایل، افزایش ارتباط ویدئویی برای کاربردهای سیار در راستای افزایش تقاضای چند رسانه ای می باشد. ویدئوی پورتابل بر کانال های بی سیم ، الزامات خاص خود را دارد. به دلیل پهنای باند کانال محدود، نیاز به کارایی فشرده سازی وجود دارد همچنین انتقال بی سیم به دلیل تاب آوری در

برابر خطا ، زیرا پیوندهای بی سیم دچار اعوجاج شدید کانال یا نرخ خطای بیتی (BER) حداکثر ده به توان منفی یک یا بیشتر می شوند. دستگاه های پورتابل باتری خور نیازمند سخت افزار پردازشگر کم توان هستند.

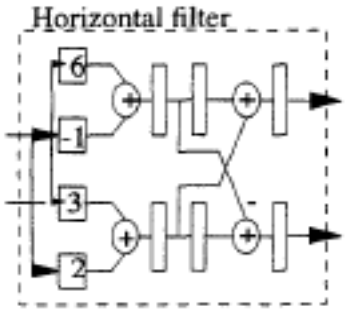
امروزه استانداردهای فشرده سازی مثل JPEG (گروه کارشناسان عکاسی مشترک) برای تصاویر و MPEG (گروه کارشناسان تصاویر متحرک) برای ویدئو ، سیستم های تجاری غالب هستند. در حالی که بهره وری فشردگی آنها خوب است ولی هنوز برای کاربردهای سیار بهینه نیستند بخاطر نیاز به سخت افزار بزرگ ، پیاده سازی هایی که توان زیاد می خواهد و حساسیت به خرابی بیت [۴] . کمی سازی بردار هرمی (PVQ) یک تکنیک فشرده سازی است که کارایی فشردگی و تاب اوری خطا فراهم می کند و برای کاربردهای ویدئویی پورتابل مناسب است. در این جا یک تراشه کدگشای PVQ برای از فشردگی خارج کردن ویدئوی بلادرنگ با مصرف توان کم توصیف می گردد. عمل خارج کردن از فشرده سازی توسط تبدیل کلمه های رمز PQV به مقادیر داده ای انجام می شود و کل عاملیت روی یک قرص هادی منفرد مجتمع شده برای همین نیاز به حافظه یا سخت افزار بیرونی نمی باشد [۵] . روش طراحی کم توان ، ابتدا در سطح الگوریتم شروع شده و به مراحل معماری تراشه و طراحی مدار می رسد، بعد بر روی کاهش عملیات انرژی مصرف کننده و حداکثر کردن گذردهی ، از طریق موازی سازی تمرکز می شود. در آخر مجموعه استراتژی های معماری مهم حاصل می شوند، در نهایت اندازه مصرف توان چند مرتبه کاهش می یابد [۶] . در بخش ۲ الگوریتم PQV ، بخش ۳ معماری تراشه کدگشای PVQ و استراتژی های معماری مهم برای حداقل کردن توان و ماکزیمم کردن گذردهی ارائه می شوند. بخش ۴ روش کلاک بندی اصلی تراشه را توضیح می دهد. بخش ۴ نتایج بهره وری و توان سنجش شده را ارائه می کند [۷] .

تغییر اندازه منبع

برای بالا بردن عملکرد طراحی بصورت موازی است، بین پایین آوردن توان و ولتاژ منبع باید توازن برقرار شود. با کم کردن منبع از ۵ به ۱,۵ ولت ، انرژی در هر عمل با فاکتور ۱۲ با گذردهی پردازش ثابت کاهش می یابد. تاخیر دروازه هم ۷ برابر زیاد می شود. در این طرح فیلترهای عمودی و افقد بالا و پایین گدر بصورت موازی قرار گرفتند تا نرخ کلاک سریع تر شود. همه مدارها غیر از حافظه از CMOS ایستا استفاده می کنند چون می تواند در ولتاژ های کم با کمترین نشت جریان کار کند.

پیاده سازی فیلتر

تعیین فیلترها به محاسبه مورد نیاز و تاخیر لازم ، و عملکرد فشرده سازی بر می گردد. ما از فیلتر موج نامتقارن ۴-نواری بعنوان فیلتر کرنل پایین گذر استفاده می کنیم. فیلتر آینه مربعی ۹ نواری هم برای بالاگذر که یک سوم توان مصرف می کند و تاخیر خط را هم کاهش می دهد. شیفت دهنده و افزاینده در پیاده سازی ضرب کننده های مدار شکل ۲ استفاده شده، افزاینده ۳-۲، دو ورودی موقع کاربرد فیلتر ۴-نواری لازم است چون محل های پر در دو صفر بین مقادیر داده را بیش-نمونه برداری می کند [۸] . سخت افزار مشابه با معکوس کردن ضریب ها و منفی کردن جفت ضریب ، فیلتر بالاگذر را پیاده می کند. معکوس کردن ، با سوئیچ کردن مرتبه دو مقدار ورودی انجام می شود. منفی کردن وقتی رخ می دهد که مقادیر پایین گذر و بالا گذر ، حتی به شکل های عامل نقلی ، با افزاینده ۴-۲ و افزاینده انتخاب نقلی ترکیب می شوند. نتایج گرد شده در حافظه تاخیر –خطی ذخیره شده و به فیلتر عمودی ارسال می شوند، که این شبیه فیلتر افقی کار می کند ولی یک ورودی از حافظه تاخیر-خطی و یکی از خروجی فیلتر افقی ، دو مقدار جهت عمودی را تشکیل می دهند [۹] . در پردازش سیگنال دیجیتال، اندازه کلمه بازنمایی های داده درونی ، پارامتر مهمی است چون تعیین کننده دقت خروجی نهایی است. سیگنال های ویدئو در یک SNR بیشتر از ۴۶ دسی بل ، تقریبا کامل ظاهر می شوند پس یک کلمه ۱۲ بیتی استفاده می شود. وقتی از گرد کردن در کمی سازی استفاده می شود اندازه کلمه دو با بیت کوچکتر ، به SNR مشابه دست پیدا می کند. پس در بازنمایی داده درونی ما ۱۰ بیت لازم است، توان و مساحت همه مدارهای مسیر داده هم کم می شوند. از جمله حافظه داخلی که بیشتر آن سیلیکونی است. استراتژی گرد کردن ۱۰ بیتی ، کاهش توان ۲۰ درصد بر نوع ۱۲ بیتی فراهم می کند و توان هم ۴۰ درصد نسبت به نوع استانداردش کاهش می یابد [۱۰] .



شکل ۱:فیلتر بالاگذر

طراحی حافظه

اندازه حافظه های تاخیر-خطی ، ذخیره میانی و نتیجه نهایی ، برای پیاده سازی با توان کم خیلی اهمیت دارد. هر چه اندازه بیشتر توان هم بیشتر مصرف می شود. در ضمن اندازه آنها مشخص می کند می توانند بر تراشه باشند یا نه. مثلا نتایج میانی بازسازی شده بر تراشه ، نیاز به نوشتن این مقادیر و خواندن در بعد را کنار می زند. دیگر نیازی به بافر فریم مصرف کننده نیست چون داده خروجی در اسکنت راستری تولید شده و در بافر نتیجه نهایی ذخیره می شود. پس داده از طریق DAC مستقیما به نمایشگر می رود. طول فیلتر کوتاه ، تعداد خط های داده زیر باند که برای فیلتر کردن عمودی لازم است کاهش می دهد، پس با ایجاد داده در فیلتر افقی ، فقط یک خط تاخیر تحمل می شود [۱۱] . مرتب کردن پردازش سطح زیر باند بر حافظه اثر می گذارد. پردازش یک خط در پایین ترین سطح لسلسه مراتب زیر باند، دو خط نتایج ۱

بعدی و دو خط نتایج میانی تولید می کند. اگر هر دو خط نتایج میانی پردازش شوند ۴ خط داده در سطح بعدی تولید می شود بعد ۸ خط و در آخر ۱۶ خط در سطح بالا. ترتیب سطوح طوری چیده شده پردازش خط بعدی از سطح خاص فقط وقتی رخ دهد که هر دو خط در سطح بالاتر قبلا پردازش شده باشند. این باعث می شود وقتی نتایج بعدی تولید می شوند بشود از حافظه دوباره استفاده کرد. فقط دو خط حافظه تاخیر-خط و دو خط از حافظه ذخیره-میانی در هر سطحی مورد نیاز خواهند بود. تراشه دو باند رنگ نمایی (کورمینانس) را در امتداد داده نور (روشنایی-لومینانس) دیکود می کند. باندهای رنگ تابی درون جریان باند نور فاصله بندی و درج می شوند طوری که مجموعه های داده حالت سنکرون داشته باشند [۱۲].

دسترسی های بیرونی

دسترسی های حافظه و داده بیرونی ، عمل انرژی مصرف کننده دیگری است. داده های زیر باند LL بازسازی شده میانی ، بصورت درونی ذخیره می شوند و خارج تراشه نوشته نمی شوند. این تعداد خواندن های بیرونی در هر پیکسل را از ۱,۹۸ به ۱,۵ کاهش می دهد و تعداد نوشتن های بیرونی هر پیکسل از ۳,۴۸ به ۳ می رسد. چون که طرح ما بافر فریم لازم ندارد ، ی۳ دسترسی بیرونی اضافی ازای هر پیکسل حذف می شوند.

برای کم کردن پهنای باند بین دیکودر PVQ ، و تراشه دیکودر زیر باند، کدگذاری طول-اجرای صفر در سه باند فرعی با بیشترین فرکانس انجام می شود. در این زیر باندهای فرکانس بالا ، PVQ از یک بردار افقی ۳۲ بعدی استفاده می کند، که وقتی دیکود می شود، حاوی ۳ ضریب غیر صفر خواهد بود. دیکودر PVQ مقادیر غیر صفر را به دیکودر زیرباند و طول اجرای صفر را به ضریب غیر صفر بعدی منتقل می کند. پس توان هم صرفه جویی می شود. با پذیرش طول های اجرای صفر بین ضرایب غیر صفر ، تعاد خواندن های بیرونی به ازای پیکسل برای تراشه دیکودر زیر باند به ۰,۵۷ کاهش می یابد. کل توان تراشه هم ۴۰ درصد بیشتر صرفه جویی می شود [۱۳].

تبدیل رنگ

تراشه دیکودر زیر باند شامل تبدیل رنگ YUV به RGB است چون انتشار توان آن زیاد است. الگوریتم مربوطه ساده است ولی در کیفیت تصویر تاثیر ندارد. فقط ۵ افزودن انتخاب-نقلی و ۱ ذخیره-نقلی درهر پیکسل در هر مولفه RGB لازم است. مدار ما فقط ۹۰ مگاوات با ۱ ولت برای هر سه کانال در 1.27 Mpixels/sec مصرف می کند. یک کنترلر زمان بندی ویدئو هم روی تراشه کار گذاشته شده که خواندن داده YUV از بافر نتیجه نهایی و تولید خروجی های RGB را تنظیم کند. برای سنکرون بودن سیگنال ، پارامترهای زمان بندی قابل برنامه ریزی در بازه های افقی و عمودی قرار گرفته اند. وقتی بافر نتیجه نهایی پر باشد تراشه چرخه های بلوکه کردن کاهش توان را به کار می اندازد، با کمک کلاک های سوئیچ شده ، فضای بافر واحد در دسترس خواهد بود.

بلوکه کردن در دوره های پوشش افقی و عمودی رخ می دهد چون داده از بافر خوانده نمی شود. چون داده بافر می شود و در اسکن راستری تشکیل می شود ، خروجی RGB مستقیما به DAC و بعد به نمایشگر فرستاده می شود [۱۴].

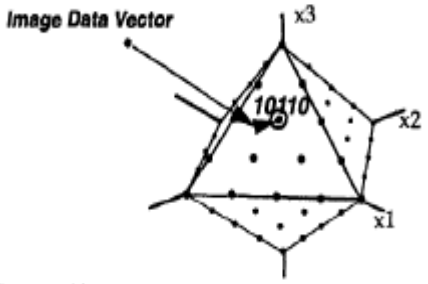
پردازش صفر

وقتی فرکانس بالاترین باندها را پردازش می کند درصد زیادی از صفرها وجود دارند. داده ورودی برای باندهای LH و HHروشنایی سطح بالا ، بصورت طول اجرای صفر کد می شود. HH روشنایی سطح بالا و نوارهای رنگ تابی سطح بالا همگی صفر تنظیم می شوند. این باعث می شود تعداد ورودی های بیرونی با فاکتور ۴ کاهش یابد، پس کل توان سیستم هم با انتشار توان در منبع ورودی بیرونی کم می شود. کنترلر ازطول های اجرای صفر استفاده می کند تا مشخص کند چه وقت مقدار صفر است و این اطلاعات را در ثبات شیفت ذخیره می کند. پردازش موقعی پرش می کند که دو مقدار متوالی نوار HH صفر هستند. وقتی این رخ می دهد ، داده های LL و LH مثل معمول پردازش می شوند ولی داده های HL و LH پرش می کنند، و به داده های LL و LH سطح بعدی می رود [۱۵] . با پرش، میانگین تعداد سیکل های کلاک مورد نیاز در هر پیکسل خروجی ، شامل تولید تمام داده های تصویر میانی و نهایی برای هر سه مولفه ، از ۱,۹۸ به ۱,۲۳ می رسد، یعنی ۱۵ درصد کاهش کل توان تراشه و افزایش تعداد سیکل های توقف. چون پردزاش چندین سطح ، جریان برابر نتایج خروجی را ایجاد نمی کند ،تراشه ، که در نرخ پیکسل دو برابر کار می کند، ممکن است شرط سیکل ها/پیکسل ۱,۹۸ اصلی را هم برآورده نکند. پس کاهش در سیکل های پردازش مهم است [۱۶] . تراشه ، در فناوری 0.18u CMOS پیاده شده ، مساحت $9.5 \times 8.7\ mm^2$ را اشغال می کند و حاوی 415K ترانزیستور است. در ولتاژ ۱ ولت ، حداکثر فرکانس 4 MHz کار کرده و یک خروجی را در هر دو سیکل کلاک تحویل می دهد. برای داشتن گذردهی 1.27 Mpixels/sec، تراشه باید در 3.2 MHz کار کند. این فرکانس عملیاتی پایین نشانه کارامدی طرح ماست. برای فرمت SIF ، تراشه نیاز به کار در 6.4 MHz دارد، ولی اکثر تراشه های دیکود کننده JPEG باید در فرکانس بین ۳۰ و ۵۰ MHZ کار کنند. اوج عملکرد در ۵ ولت ، 60 Mpix- els/sec کانال های RGB را با فرکانس عملیاتی 120 MHz تولید می کند در حالیکه ۱,۲ وات مصرف می کند/ برای نرخ ۳,۲ MHZ برای نمایشگرهای پورتابل کوچک ، گذردهی فوق العاده ای فراهم می کند، منبع یک ولت و مصرف ۱,۲ مگاوات. شکل ۳ انتشار توان در ماکزیمم فرکانس عملیاتی را برای ولتاژ های مختلف نشان می دهد. شکست مصرف توان کل میان بخش های مختلف تراشه در نرخ ۳,۲ MHZ است، محاسبه، I/O و حافظه بر توان غالب هستند، هر کدام یک سوم توان مصرف می کنند. مصرف توان در بخش کنترل درصد کوچکی است. برای تصویرهای با رزولوشن بالاتر ، چند تراشه آبشاری نصب می شوند، هر یک حداکثر ۲۵۶ پیکسل عرض ، که تصویر نهایی بدون تصنعات مرزی ساخته شود. جدول ۱ انتشار توان چندین دیکودر

زیر باند را در فرکانس کلاک مورد نیاز نشان می دهد که برای از فشرده سازی خارج کردن تصویرهای با رزولوشن بالا کاربرد دارد. ولتاژ های عملیاتی توسط الزامات محاسبه بلادرنگ تعیین می شوند. این موازی سازی سطح تراشه، فرکانس عملیاتی را حفظ کرده و ولتاژ منبع را پایین نگه می دارد، پس انتشار توان در کاربردهای HDTV بسیار کم خواهد بود [۱۷] .

دیکودر VQ هرمی نرخ ویدئو کم توان

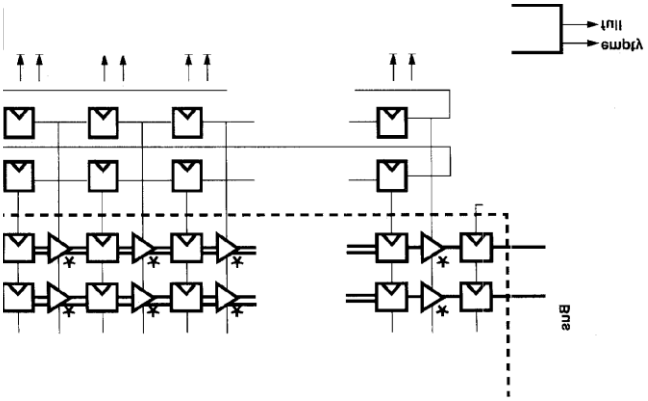
کمی سازی بردار هرمی (PVQ) یک تکنیک کمی سازی برداری است که داده ها را به بردارهایی گروه بندی کرده و و آنها را به سطح هرمی چند بعدی تغییر می دهد. PVQ یک تکنیک فشرده سازی است که کارایی فشردگی و تاب آوری در برابر خطا ، برای کاربردهای ویدئوی پورتابل فراهم می کند. در اینجا تراشه مورد استفاده برای از فشردگی خارج کردن ویدئوی بلادرنگ با عمل کم توان توصیف می شود. این کار با تبدیل کلمه های رمزی PVQ به مقادیر داده انجام شده و همه عاملیت روی یک قرص هادی منفرد یکپارچه می شود، سخت افزار بیرونی نیاز نیست. بر خلاف طرح های VQ استاندارد، که به کتابچه رمزی نیاز دارند، PVQ محصول به محاسبه الگوریتمی وابسته است که کار رمز و رمزگشایی را انجام دهد. فراین آن شامل بردار داده باL مقدار ، توسط تغییر اندازه بردار به یک سطح هرمی L بعدی کد می شود و نزدیک ترین نقطه لاتیک روی هرم پیدا می شود (در شکل ۴ L=3). هر دو فاکتور تغییر بعد و اندیس متناظر با نقطه لاتیک ، منتقل می شوند. فرایند کدگشایی ، اندیس را به فاکتور تغییر بعد برمی گرداند. چون نقاط لاتیک روی هرم در فاصله منظم از هم هستند و توسط روابط بازگشتی مقادیر ترکیباتی توصیف می شوند، کدینگ و دیکودینگ اندیس های PVQ با محاسبه ریاضی انجام می شود، با شیفت ها تفریق ها جستجوها و مقایسات [۱۸] .



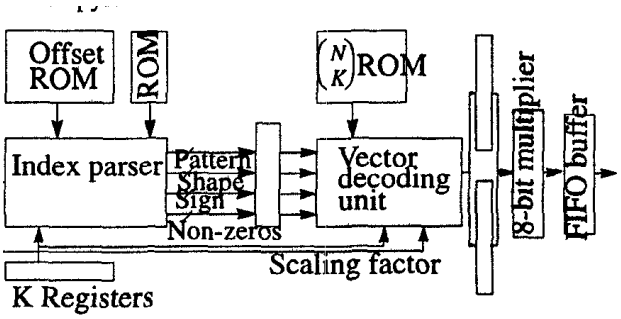
شکل ۲: نقاط لاکتیک روی هرم انکدینگ PVQ

معماری تراشه

بلوک دیاگرام را در شکل ۵ می بینید که جریان داده تراشه را تولید می کند. دیکودر PVQ به چهار بلوک پردازشگر تقسیم می شود. تجزیه کننده جریان که ۱۶ کلمه های بیتی ورودی را به اندیس های PVQ تجزیه می کند و یک سری شیفت دهنده ۳۲ بیتی اعمال می کند. پیش دیکودر اندیس که هر اندیس را به چهار اندیس میانی تبدیل می کند که برداری می شوند. اندیس اول توسط مقایسه اندیس PVQ با مقادیر افست ذخیره شده در ROM دیکود می شود، سه اندیس باقیمانده با استفاده از شیفت دهنده استوانه ای. دیکودر برداری که اندیس های میانی را می گیرد و بردار داده را با چند بار مقایسه و تفریق این اندیس ها از افست های ترکیبیاتی از پیش محاسبه شده، ذخیره شده در ROM، تولید می کند. مقدار بردار دیکود شده با اضافه شدن به شمارنده در هر مرحله به دست می آید. نهایت، ضرب کننده موازی ۶ در ۸ بیت ، تغییر بعد نهایی هر عنصر بردار دیکود شده را انجام می دهد/ ضرب کننده متشکل از یک درخت افزاینده۴-۲ با جمع کننده انتشار نقلی می باشد. بافرهای FIFO چهار بلوک پردازش را از هم جدا کرده و جریان بین اینها را تنظیم می کنند [۱۹] . مسیرهای داده درونی ۱۶ بیتی ، اجازه می دهد ابعاد بردار تا ۲۵۶ باشد، تراشه مقادیر افست مورد نیاز جداول ROM را ذخیره می کند تا بعد بردارهای از ۴ تا ۳۲ بعدی را دیکود کند.



شکل ۳-بلوک دیاگرام تراشه

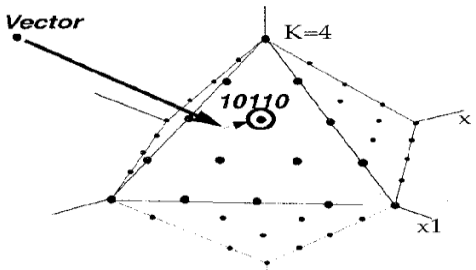


شکل ۴- بلوک دیاگرام تراشه

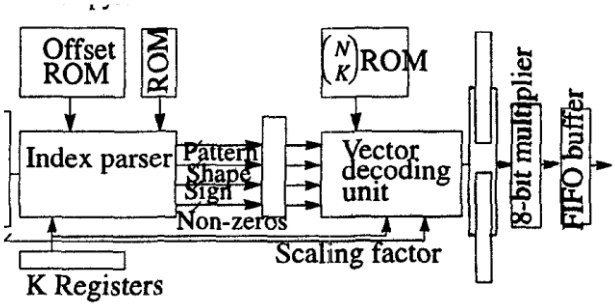
الگوریتم VQ هرمی

کمی سازی بردار هرمی که توسط فیشر معرفی شده یک تکنیک کمی سازی سریع برای منابع لاپلاسی توزیع شده بصورت همسان می باشد، که عملکرد فشرده سازی با رویکرد کمی سازی اسکالر آنتروپی –کد شده بهینه پیشنهاد می شود. و کاهش بزرگ در الزامات حافظه در مقایسه با طرح های VQ استاندارد، نتیجه می شود. در ضمن، به دلیل ماهیت طول-ثابت کلمه های رمز PQV ، تاب اوری در برابر خطا حفظ می شود این مشخصات باعث شدند PVQ مناسب کاربردهای بی سیم

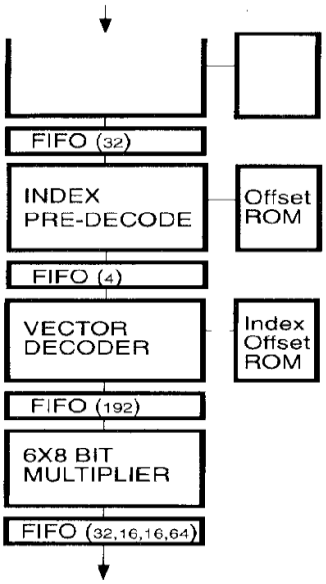
پورتابل باشد [۲۱] . بردارهای لاپلاسی ، که وقتی بعد بردار خیلی بزرگ می شود محدودیت می یابد، با احتمال زیاد نزدیک یا روی سطح واقع می شوند. مزیت PVQ ، استفاده از نقاط کمی سازی که بصورت یکنواخت روی سطح هرمی چند بعدی توزیع می شوند. DCT و تبدیل باند فرعی داده تصویری رفتاری مشابه با لاپلاس دارد ولی بهم همبسته اند در نتیجه بردارهایی که از داده تصویری تشکیل شدند معمولا دورتر از سطح هرم قرار دارند. برای برخورد با داده های غیر ایده ال یک طرح PVQ متغیر توسط فیشر معرفی شد که PVQ محصول نام گرفته-یک فاکتور تغییر اندازه اضافی را اضافه می کند تا بردارهای داده به سطح هرم نزدیک تر شوند نشان داده شده این کار فشرده سازی با تبدیل داده تصویری را بهبود می بخشد. تراشه کدگشا در این مقاله از الگوریتم رمزگشایی PVQ محصول استفاده می کند. بر خلاف VQ استاندارد که نیازمند کتابچه رمزی است PVQ محصول به محاسبه الگوریتمی شدیدی وابسته است تا عمل کدگذاری/کدگشایی را انجام دهد. فرایند کدگذاری PVQ محصول این طور است : یک بردار داده ، با مقادیر L، توسط تغییر اندازه بردار به سطح هرمی L بعدی کد شده و نزدیک ترین نقطه لایتک روی هرم پیدا می شود (شکل۱). هر دو عامل تغییر اندازه و یک اندیس متناظر با آن نقطه لاتیک منتقل می شوند. فرایند رمزگشایی بلوک اندیس را به بردار L بعدی تبدیل کرده و بردار را با کمک فاکتور تغییر اندازه ، تغییر بعد می دهد. چون نقاط لاتیک روی هرم به طور منظم فاصله بندی شدند و توسط روابط بازگشتی مقادیر ترکیبیاتی توصیف می شوند اندیس های PVQ کدگذاری /کدگشایی با محاسبه ریاضی ، با کمک شیفت ها ، تفریق ها، جستجوها و مقایسات، پیاده می شوند. الگوریتم کدگشایی اندیس دقیق در پیوست توضیح داده شده [۲۲] .



شکل ۵-کدگذاری PVQ روی سک سطح هرمی سه بعدی



شکل۶-معماری تراشه کدگشای PVQ

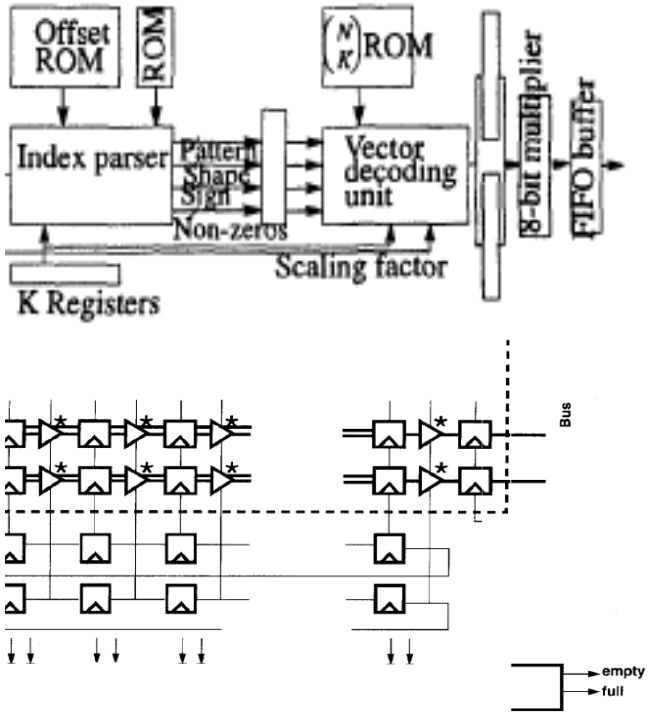


شکل ۷: مدل صف FIFOدر معماری تراشه

معماری تراشه

شکل بالا بلوک دیاگرام معماری را نشان می دهد. کدگشای PVQ به چهار بلوک پردازشگر تقسیم می شود. تجزیه کننده جریان که ۱۶ بیت کلمه های ورودی را به اندیس های PVQ و فاکتورهای اندازه را با استفاده از یک سری دو تایی شیفت دهنده استوانه پهن ۳۲ بیتی تجزیه می کند. طول های کلمه مختلف اندیس ها و اندازه ها در یک ROM ذخیره می شوند. پیش کد گذار اندیس (مسیر داده ۱۶ بیت) اندیس حافظه نهانگاه را به چهار اندیس میانی دیکود می کنند، که این بردار را توصیف می کند. این اندیس اول را با مقایسه اندیس PVQ با مقایر افست ذخیره شده در یک ROM دیکود می کند، سه اندیس باقیمانده با استفاده از یک شیفت دهنده استوانه ای تجزیه می شوند. دیکودر برداری (مسیر داده ۱۶ بیت) این اندیس های میانی را وارد کرده . یک بردار داده به صورت مقایسه مکرر و تفریق این اندیس ها از افست ترکیبیاتی قبلا محاسبه شده و ذخیره شده در ROM، تولید می کند. هر کدام از مقایسات به شمارنده یک واحد اضافه می کنند که این مقدار بردار دیکود شده را تنظیم می کند. مقادیر غیر صفر نتیجه در صورت لزوم علامت منفی می گیرند. در آخر یک ضرب کننده موازی ۶ در ۸ بیت عمل تغییر بعد نهایی هر عنصر بردار دیکود شده را با استفاده از فاکتور تغییر اندازه ارسالی با هر اندیس PVQ، انجام می دهد. ضرب کننده متشکل از درخت افزاینده ۴-۲ با یک افزاینده انتشار نقلی ، بافرهای ابتدا-ورود-ابتدا-خروج (FIFO) چهار بلوک پردازشگر را از هم جدا کرده و جریان داده بین آنها را منظم می کند. در حالیکه مسیرهای داده درونی ۱۶ بیتی اجازه می دهد ابعاد بردار تا ۲۵۶ باشد، ولی تراشه فقط مقادیر افست مورد نیاز در جداول ROM را ، برای کدگشایی بردارهای ۴ و ۳۲ بعدی ذخیره می کند، که این را الگوریتم تخصیص بیت بهینه شده تعیین می کند. اصلاحات ساده بر جداول ROM در نسخه های بعدی این تراشه اجازه می دهد ترکیبات دیگر ابعاد و شعاع

هرم امکان پذیر باشد. تراشه کدگشای PVQ از چندین استراتژی معماری مهم برای حداقل کردن توان استفاده می کند. اول ، توسط موازی سازی به حداکثر گذردهی دست می یابد، طوری که عملکرد مازاد بتواند از بالانس کردن مصرف توان کم از طریق تغییر اندازه ولتاژ حاصل شود. تراشه چهار بلوک پردازشگر مستقل دارد که هر یک موازی شده هستند. چون الگوریتم کدگشایی PVQ ذاتاً غیر قطعی است یعنی تعداد مراحل برای دیکود کردن یک اندیس به داده بردار وابسته است تاخیر در پیش کد گذار اندیس و دیکودر برداری ، غیر قطعی خواهد بود. با تقسیم تراشه به چهار پردازشگر ، وابستگی های بین بلوک های مختلف از بین رفته و گذردهی تراشه حداکثر می شود. هر پردازنده توسط FIFO جدا شده و فقط وقتی ادامه می یابد که FIFO ورودی اش خالی نبوده و خروجی اش هم پر نباشد. در حالت بیکاری ، هر پردازنده به حالت آماده باش می رود ، و کلاک به کل آن واحد سوییچ می شود بیشتر از نیمی از کل ظرفیت کلاک در کلاک های سوییچ شده قرار می گیرد. به جز دیکودر برداری که زمان بیکاری معمولا ۱۰ درصد است، بلوک های پردازنده دیگر معمولا ۵۰ الی ۶۰ درصد بیکار هستند. این زمان های بیکاری زیاد باعث صرفه جویی ها در کل توان کلاک، با فاکتور۲، می شود [۲۲] . دوم، چون بیشتر عملیات انرژی بر ، دسترسی به I/O برون تراشه و دسترسی به حافظه هستند ، تلاش های قابل توجهی انجام شده که این عملیات حداقل شود . کل ذخیره سازی داده روی تراشه بماند. داده های تجزیه جریان و مقادیر افست فاکتور گیری و ترکیبیاتی از پیش محاسبه شده که مورد نیاز تجزیه اندیس و کدگشایی هستند ، در ROM روی تراشه ذخیره می شوند. همه نتایج میانی در بافرهای FIFO ثباتی روی تراشه ذخیره می شوند. عمل بافر کردن FIFO ، مدخل بندی کلاک هر پردازنده را تنظیم می کند، جریان داده نامظنم بدین طریق بین پردازنده ها یک دست می شود. جریان داده ثابت در خروجی تراشه خواهیم داشت. این طبق نیاز تراشه های DCT یا تبدیل باند فرعی می باشد. برای این کار شبیه سازی رفتاری با استفاده از VERILOG ، با بدترین داده ورودی انجام شد تا اندازه های FIFO دقیقاً مشخص شوند. بردارهای داده خروجی که مقدار صفر زیاد داشتند در داده تصویری با فرکانس بالا یافت شدند ، آنها در طول –اجرا کدگذاری می شوند تا فشرده سازی با اتلاف روی صفرهای متوالی رخ دهد. این کدگذاری باعث می شود دسترسی به تراشه بیرونی با فاکتور ۳ ، بافر کردن خروجی با فاکتور ۳ ، و تعداد دسترسی های بافر درونی تا فاکتور ۱۰ کاهش پیدا کنند. پس بین پیچیدگی کنترل اضافی برای کدگذاری طول اجرای صفر برای توان I/O کمتر و بافر کردن داده بر تراشه باید بالانس کرد. سوم، مسیر بحرانی تراشه ، که در دیکودر برداری دیده می شود بهینه شده تا گذردهی زیاد شود.



شکل ۸-کلاک بندی پردازنده

استراتژی های معماری برای حداقل کردن توان

برای افزودن گذردهی می توان با موازی سازی ، و توازن بین مصرف توان و تغییر اندازه ولتاژ ، به این مهم دست پیدا کرد. چهار بلوک پردازشگر در تراشه وجود دارند و هریک موازی شده. چون الگوریتم دیکود کردن PVQ غیر قطعی است ، تعداد مراحل برای دیکود کردن اندیس ها به داده بردار وابسته است، تاخیر در پیش دیکودر اندیس و دیکودر برداری نیز غیز قطعی می باشد. وابستگی های بین پردازشگر ها به دلیل این موازی سازی از بین رفته است. FIFO هم وقتی به کار خود ادامه می دهد که ورودی اش خالی نباشد و خروجی اش هم پر نباشد. در حالت بیکاری ، به مد آماده باش می رود، و کلاک هم سوئیچ می شود. نیمی از ظرفیت کلاک در کلاک های مدخل بندی و سوییچ شده واقع است. بجز دیکودر برداری ، که زمان بیکارش آن ۱۰ درصد است ، بلوک های پردازشگر تا ۵۰-۶۰ درصد بیکاری دارند. این زمان بیکاری زیاد ، با فاکتور ۲، توان را کاهش می دهد.

چون دسترسی به I/O و حافظه انرژی مصرف می کند ، تلاش شده همه داده ها بر تراشه ذخیره شوند. داده های تجزیه کردن جریان و مقادیر ترکیبیاتی و فاکتوریل از قبل محاسبه شده همه در ROM روی تراشه ذخیره می شوند. نتایج میانی هم در بافرهای FIFO ثباتی بر تراشه نگهداری می شوند. مسیر بحرانی در دیکودر برداری بهینه می شود. پس ولتاژ کمتر مصرف شده و بافر کردن هم کاهش می یابد بدین ترتیب گذردهی حداکثر خود می رسد. در این جا یک بلوک از ۴ افست ترکیبیاتی در یک زمان جستجو و پردازش می شوند. برای داده تصویری معمولی ، تکرار جستجو از ۱۵ به ۳ می رسد. تراشه دارای طرح FIFO ثباتی انرژی کارامد است که از یک اشاره گر که روی ثبات های شیفت

دهنده تک-بیتی ذخیره شده استفاده می شود، که آن جابجا می شود نه داده. پس با کاهش تعویض داده ، مصرف توان هم کم می شود. وقتی FIFO بیکار باشد برق قطع می شود. هر پردازنده مستقل از دیگری کار می کند. برای اینکه عملیات در نیم فرکانس کلاک انجام شوند یک بافر خروجی خاص طراحی شده که دو کلاک را هم ساز می کند. پس ثبات شیفت اشاره گر با کلاک نیم فرکانس کار می کند، اشاره گر نوشتن هم با کلاک منظم [۲۲و۱۷] . وقتی از تراشه دیکودر زیر باند پشت سر هم استفاده می شود، کنترل اضافی روی همان تعبیه می شود تا داده ها بین سطوح زیرباند جاسازی شوند، این ویژگی نیاز به بافر فریم برون تراشه را حذف می کند. یک کنترلر برای هر واحد پردازش ، مسیر محل آن در جریان بیت یکی در میان شده را ردگیری می کند. این ویژگی نیازمند منطق کنترل اضافی است ، ولی توازن خوبی برای صرفه جویی توان و حذف بافر فریم ارائه کرده است.

روش کلاک بندی

ون کلاک بندی بخش قابل توجهی از توان تراشه را مصرف می کند باید روش آن به دقت طراحی شود. تراشه PVQ از کلاک بندی تک فازی استفاده می کند. سلول ثبات اصلی این طرح از نوع پیشنهادی لارسون و سیونز است. هر سلول ثبات منطق خاص خود را برای بارگذاری و راه اندازی دوباره دارد. وقتی کلاک بالاست این دو عمل پایدار هستند ، پس یک منطق دروازه بندی برای آن اعمال می شود. آن وقت کل مسیر داده در حالت صرفه جویی توان به مد آماده باش می رود. توزیع کلاک به حالت درختی استاندارد با بافر کلاک مرکزی است که در مرکز تراشه واقع شده و کلاک تراشه سراسری را به مسیر داده و کنترل هر پردازشگر تقسیم می کند. چون اندازه تراشه بزرگ است، کل ظرفیت نود کلاک سراسری زیاد است. کلاکهای هر مسیر داده سوئیچ بندی می شوند ، و پیوسته روشن هستند تا بافر FIFO و وضعیت ورودی تراشه را کنترل کنند [۲۱و۱۵] .

دسترسی بیرونی و کدگذاری طول اجرای صفر

محاسبه ترکیبیاتی و افست های اندیس ، که برای کدگشایی برداری لازم هستند، بر تراشه در ROM کم توان ذخیره شدند. اطلاعات تجزیه شدن برای تخصیص بیت زیر باند در این ROM نگهداری می شوند. کدگذاری طول اجرای فر ضریب های زیر باند فرکانس بالا ، مقدار دسترسی های بیرونی را به اندازه فاکتور ۳ کاهش می دهند. برای تراشه دیکودر PVQ ، چون کدگذاری طول اجرای صفر ، بازنمایی ضریب های صفر متوالی را فشرده می کند این مقدار بافر کردن خروجی بر تراشه PVQ را به اندازه فاکتور ۳ کاهش می دهد، تعداد دسترسی های بافر درونی هم به اندازه فاکتور ۱۰. بین کنترل اضافی برای کدگذاری طول اجرای صفر به منظور کاهش توان I/O و کمتر شدن بافر کردن داده بر تراشه ، باید بالانس کرد.

مرتب کردن دوباره، یکی در میان کردن داده بین سطوح زیر باند ، پیچیدگی کنترل تراشه دیکودر PVQ را ۱۵ درصد زیاد کرد ، چون هر عنصر پردازنده باید مسیر خود را در مرتب کردن دوباره و تنظیم پارامترها ردگیری کند.

گذردهی

تراشه دیکودر PVQ ، گذرهی دیکود کردن ویدئوی بلادرنگ را در **176×240 pixels/frame** در ۳۰ فریم در ثانیه حفظ می کند. از شبیه سازی های اشغال بافر صحنه های تصویر مختلف ، بدترین اندازه های بافرهای FIFO مختلف بین عناصر پردازش گر دیده شدند ، هر کدام بین ۴ و ۱۹۲. اندازه های FIFO مختلف ، سرعت های نسبی تولید و مصرف داده بین عناصر پردازشگر مختلف را نشان می دهند. با تضمین اینکه این بافر ها هیچ وقت خالی یا پر نباشند سیستم در عملکرد ماکزیمم خودش قرار می گیرد. ما ماکزیمم تاخیر مجاز برای شرط گذردهی نرخ –ویدئو در کمترین مصرف توان را محاسبه کردیم. فرکانس کلاک **6.4 MHz** کافی بود ، گرچه تراشه دیکودر PVQ یه ماکزیمم فرکانس کلاک **10 MHz** در **1.5V** با فناوری **0.8 µm CMOS** دست پیدا کرد.

عملکرد سنجش شده

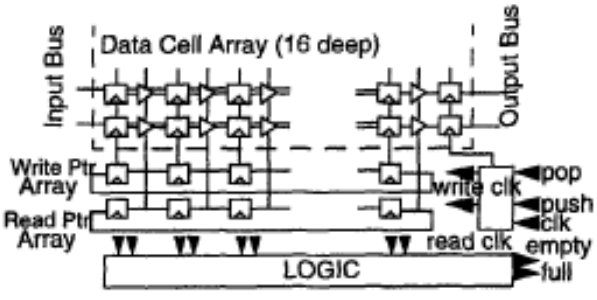
تراشه دیکودر PVQ مساحت **13 mm^2** x **9.7** اشغال می کند. چون این تراشه در فرکانس دوبرابر تراشه دیکودر باند فرعی کار می کند، برای اینکه گذردهی به **1.27 Mpixels/sec** برسد ، تراشه دیکودر PVQ باید در ۶,۴ MHZ کار کند، با منبع ۱,۵ ولت. مصرف توان در این حالت **6.63 *mW*** سنجیده شد. در با ماکزیمم فرکانس های برای ولتاژ های منبع مختلف ، مصرف توان سنجش شده در شکل ۷ نمایش داده می شود. دیکودر PVQ پنج برابر توان مدل استاندارد توان مصرف می کند. فرکانس کلاک دوبل شده این دیکودر ، این تفاوت را توضیح می دهد. یک سوم توان تراشه توسط FIFO ثبات مصرف می شود با ۵۵ درصد انتشار توان روی خطوط کلاک محلی. با کمک طراحی مبتنی بر حافظه بجای FIFO مبتنی بر ثبات می شود مساحت و توان را کاهش داد. توان مسیر داده برابر توان کنترل است. چند دلیل داریم: ۱-مسیر داده از کلاک های گیت محلی استفاده می کند. در حالیکه بخش های کنترل نه-تا ۴۰ درصد زمان بیکار است. ۲-بخش های کنترل نیازمند پیچیدگی بیشتر هستند بخاطر ماهیت غیر قطعی الگوریتم کدگشایی PVQ و طرح مرتب کردن دوباره داده.

بلوک دیاگرام FIFO ۱۶ سلولی

این باعث بهینه شدن عمل ولتاژ و کاهش بافر کردن خروجی می شود آنگاه شرایط بلادرنگ بودن رعایت می گردد. بر خلاف پیاده سازی الگوریتم مستقیم ، که از جستجوی خطی برای تعیین محل افست اندیس درست استفاده می کند گذردهی با جستجو و پردازش بلوکی از چهار افست ترکیبیاتی در یک زمان، بهبود داده می شود. برای داده تصویر معمولی ، میانگین تعداد تکرارهای جستجو از ۱۵ به ۳ کاهش و تعداد سیکل های پردازش و تعداد بافر کردن خروجی هم نصف می

شوند. چهارم ، تراشه یک طراحی FIFO ثباتی انرژی کارامد دارد. که از طرح مبتنی بر اشاره گر استفاده می کند (شکل ۳). وقتی به FIFO دست یابی می شود ، فقط اشاره گر ، که در یک ثبات شیفت تک-بیت ذخیره شده جابجا می شود، نه داده. در مقایسه با طرح های FIFO ثباتی دیگر ، که در شیفت دادن داده بین ثبات ها توان زیاد مصرف می شود این طرح با کم کردن سوئیچ داده ، توان را کاهش میدهد. کلاک بندی درونی FIFO موقعی که بیکار است خاموش می شود در این طرح خواندن و نوشتن با هم انجام می شوند.

هر پردازنده مستقل از دیگری کار می کند. برای واسط با یک تراشه بازسازی باند فرعی که در رفرنس ۶ توصیف شده ، و در فرکانس نیمه کار می کند ، یک بافر FIFO خروجی خاص طراحی می شود که دو کلاک دارد. (فرکانس کامل و نیمه). و نیازمند سیگنال های عملیاتی در فرکانس نیمه است. برای FIFO خروجی ، کنترل ثبات شیفت اشاره گر خواندن با کلاک فرکانس نیمه کار می کند در حالیکه ثبات شیفت اشاره گر نوشتن با کلاک منظم کار می کند. در نهایت، وقتی این بصورت زنجیری با تراشه بازسازی باند فرعی استفاده می شود، تراشه کنترل اضافی را تعبیه می کند تا فاصله گذاری بین داده بین سطوح باند فرعی امکان پذیر باشد، این ویژگی نیاز به بافر فریم سیستم را حذف می کند. بخاطر این فاصله گذاری داده، خارج کردن از فشردگی در یک فرمت اسکن-رستری صورت می گیرد، پس نیاز به حافظه برای بافرهای خط بر تراشه کم می شود. هر چهار کنترلر برای هر واحد پردازشگر ، مسیر محل آن در جریان بیت فاصله گذاری شده را حفظ کرده و اینکه کدام باند فرعی دارد در آن کار می کند. در حالیکه این ویژگی نیازمند منطق کنترل اضافی است، این یک توازن خوب برای صرفه جویی های توان قابل توجه در سیستم، توسط حذف بافر فریم، در نظر گرفته شد.

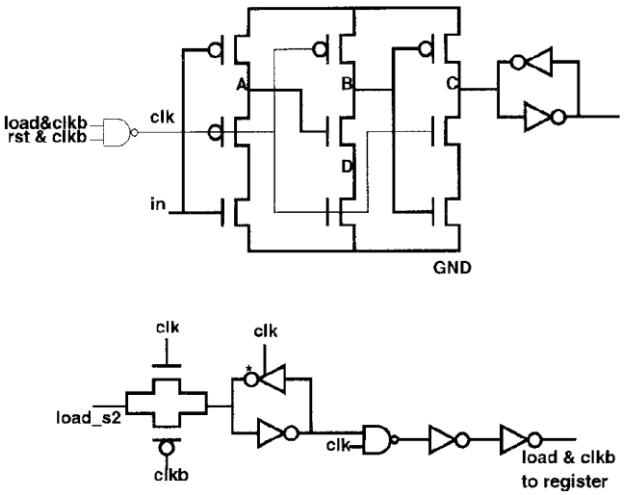


شکل ۹ – کلاک بندی

روش کلاک بندی

چون کلاک بندی متشکل از بخش قابل توجه توان تراشه است، طراحی دقیق روش کلاک، توزیع و مدخل بندی صوتر گرفت. سلول ثبات اصلی مورد استفاده، نوع دیگری از پیشنهاد لارسن و سیونسون است که در شکل ۴ دیده می شود. وقتی کلاک پایین است، مرحله اول ثبات (ارباب) روشن است، مقدار ورودی روی یک نود A ذخیره می شود و نود B از پیش زیاد شارژ می شود. وقتی کلاک به زیاد سوئیچ می کند، مرحله اول خاموش می شود، و نود B دشارژ شده یا در زیاد باقی می ماند، این به داده ورودی بستگی دارد. این مقدار در مرحله آخر (برده) به نودC معکوس می شود و در پیکربندی معکوس کننده بازخور ذخیره می شود. در مد آماده باش، کلاک پایین می ماند. هر سلول ثبات منطق خودش را برای بارگذاری و راه اندازی مجدد دارد. چون هر دو سیگنال بارگذاری و راه اندازی مجدد پایدار هستند وقتی کلاک بالا باشد (stable_1)، کلاک با استفاده از منطق شکل ۴ مدخل بندی می شود. این مدخل بندی، وقتی load s2 پایین باشد، برای گذاشتن مسیر داده کل در مد کم مصرف آماده باش، استفاده می شود. سیگنال بارگذاری stable_2 است، و خروجی پیکربندی چفت، سیگنال بارگذاری stable_1 را ایجاد می کند، که می تواند با کلاک و بدون اشکال جزئی دروازه بندی شود.

توزیع کلاک یک پیکربندی درختی استاندارد با یک زنجیره بافر کلاک مرکزی است که در وسط تراشه قرار دارد و کلاک تراشه سراسری به مسیر داده و کنترل هر پردازنده تقسیم می شود. بخاطر اندازه تراشه بزرگ، کل ظرفیت نود کلاک سراسری نسبتا زیاد است. کلاک ها برای هر مسیر داده دروازه بندی می شوند ولی کلاک ها به بخش های کنترل خیر، چون آنها باید پیوسته روشن بمانند تا بافر FIFO, و وضعیت ورودی تراشه را نظارت کنند.



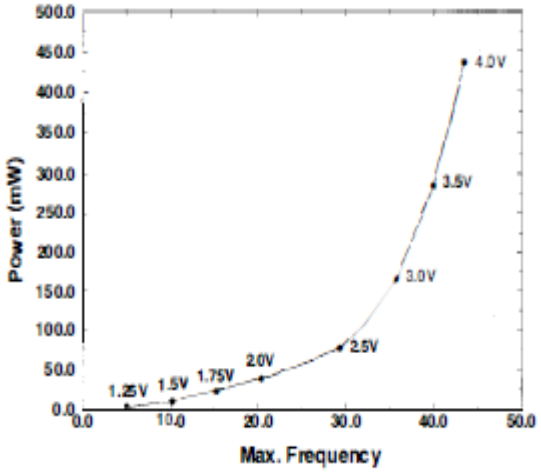
شکل ۱۰-مدار ثبات راه اندازی شده در لبه و محرک کلاک مسیر داده با منطق دروازه بندی.

شکل ۱۱ -انتشار توان در برابر حداکثر فرکانس

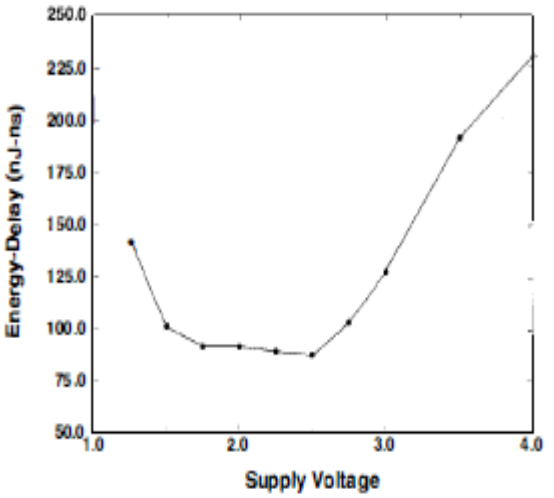
نتایج سنجش شده

شکل ۵ توان سنجش شده در حداکثر فرکانس ها برای ولتاژهای مختلف را نشان می دهد. تراشه در 1.35 V در 6.4 MHz کار می کند تا کدگشایی ویدئویی بلادرنگ را برای نمایشگر ۱۷۶ در ۲۴۰ YUV پیکسل در پیک نرخ محاسبه ۲۱ MOPS و انتشارهای 6.7 mW انجام دهد (با بار خروجی تقریبی 4PF در هر پین). شکل ۶ نشان می دهد

محدوده ولتاژ بهینه که بین ولتاژ و سرعت کلاک بالانس می کند تا حداقل توان بین ۱,۷ ولت و ۲,۵ ولت قرار بگیرد، پس تاخیر انرژی حداقل و تقریبا ثابت می ماند. جدول ۱ خلاصه تراشه را نشان می دهد، جدول ۲ توقف توان را توسط شبیه سازی سطح سوئیچ در ۱,۳۵ ولت و ۶,۴ MHZ نشان می دهد، که توزیع نسبتا برابر بین مسیر داده، کنترل ، و کلاک سراسری را نشان می دهد. با داشتن اندازه و نرخ استفاده از FIFO، بزرگترین مقدار مصرف ، و دسترسی های I/O، یک درصد کوچک را تشکیل می دهند. تراشه، شکل ۷، حاوی K۷۲۷ ترانزیستور در یک مساحت ۹,۷ در ۱۳,۸ میلیمتر مربع ، که در CMOS فلزی سه گانه ۰,۸ میکرومتری با ولتاژ های آستانه معمول ساخته شده است. $(Vtn = 0.75, Vtp = -0.90)$.



شکل ۱۲-منحنی تاخیر انرژی در برابر ولتاژ منبع



شکل ۱۳- مصرف انرژی

جدول ۱-خلاصه تراشه

TABLE I
CHIP SUMMARY

Technology	0.8-μm CMOS three-metal process $Vtp = 0.90$ V, $Vth = 0.75$ V
Chip Size	9.7 mm × 13.8 mm
Transistor Count	272 K
Operating Voltage Range	1.25 V to 4.0 V
Power	6.7 mW @ 1.35 V & 6.4 MHz with 176 × 240 RGB display 17.5 mW @ 1.6 V & 12.8 MHz with 352 × 240 RGB display
Maximum Clock Freq.	43 MHz @ 4 V
Max. Computation Rate	136 MOPS @ 43 MHz

فرایند کدگشایی PVQ محصول شامل سه مرحله است : پیش کدگشایی ، کدگشایی برداری، و تغییر اندازه. مرحله اول ، اندیس VQ هرمی را به چهار اندیس میانی تجزیه می کند، که بردار داده ای که می خواهد دیکود شود را توصیف می کند. nz-۱ :تعداد مقادیر غیر صفر در بردار داده2-موقعیت ها : موقعیت های مقادیر غیر صفر درون بردار

جدول ۲-توقف توان در ۱,۳۵ ولت و MHZ۶,۴

TABLE II
POWER BREAKDOWN AT 1.35 V AND 6.4 MHz

Operations	%
DATAPATH	17.9%
CONTROL	20.0%
FIFOS	
Local clock	19.9%
Registers/control	15.6%
GLOBAL CLOCK	19.0%
ROM ACCESSES	4.1%
I/O ACCESSES	3.5%
Total	100%

-مقادیر : مقادیر عناصر غیر صفر ۴-علامت ها : علامت های عناصر غیر صفر اندیس nz این طور کدگشایی می شود که تعیین می کنیم اندیس VQ هرمی در کدام محدوده می افتد. کل محدوده مقادیر احتمالی برای اندیس VQ هرمی به زیر محدوده های L تقسیم می شود، K بعد بردار است. شبه کد زیر فرایند کدگشایی nz را توصیف می کند، که به دنبال زیر محدوده مناسب برای دیکود کردن nz می گردد :

```
for(s=0; s<(maxNZ−1); s++){
        if(index < subrange_boundary[s + 1]
        break;
        }
index − = subrange boundary[s];
nz= maxNZ − s:
```

Max NZ نماینده حداکثر مقدار اندیس nz ممکن ، که برابر $\min(L,K)$ است، که L بعد بردار و K شعاع هرم می باشد. حلقه به دنبال زیر محدوده هدف می گردد. وقتی پیدا شد از حلقه خارج می شود و افست مرزی زیر محدوده از اندیس VQ هرمی تفریق می گردد. مقدار اندیس باقیمانده ، یک رمز محصول باینری از زیر اندیس های موقعیت ها، مقادیر و علامت های بیت-متمرکز تشکیل می دهد، که اکنون با شیفت دهنده قابل تجزیه شدن می باشد:

```
sign = index mod (1 ≪ (nz − 1));
index = index ≫ nz;
positions = index mod
    (1 ≪ (positions_length(L, K, nz) − 1));
values = index ≫ positions_length(L, K, nz);
```

مرحله دوم ، رمزگشایی بردار است، چهار زیر اندیس درون یک بردار داده دیکود می شوند. کد C زیر فرایند رمزگشایی بردار را نشان می دهد:

```
/* Determine positions of nonzero values */
if(nz<L){
    l=L;
    s=nz;
    for(i=0;i<L;i++){
        if(positions>=(l-1 choose s)){
            positions-=(l-1 choose s);
            s;
            vect[i]=1;
            }
            l;
        }}
else for(i=0;i<L;i++vect[i]=1;
    /* all nonzero if nz=L */
/* Determine values */
s=nz;
k=K;
for(i=0;i<L;i++){
    if(vect[i]){ /* Non-zero value here */
        if(s==1){
            vect[i]=k;
            break;
            }
        else{
            for(j=1;j<=k;j++){
                if(values>=(k-j-1 choose s-2))
                    values-=(k-j-1 choose s-2);
                elsebreak;
                }
            vect[i]=val=j;
        }
        k-=val;
        s;
        }
}
/* Add signs to vector elements */
for(l=0;l<L;l++){
    if(vect[l]){
    if((signs mod 2)==1)vect[l]=-vect[l];
    signs=signs≫1;
    }}
```

هر دو زیر اندیس موقعیت ها و مقادیر در حلقه ها کدگشایی می شوند، که بصورت تکراری مقایسه اجام شده و از افست ترکیبیاتی تفریق می شود. این حلقه ها پیاده سازی اصلی فرایند رمزگشایی VQ هرمی را تشکیل می دهند و مسیر بحرانی تراشه را می سازند. این حلقه ها غیر قطعی هستند چون تعداد تکرارهای حلقه به مقادیر اندیس وابسته است. مرحله سوم تغییر اندازه یا بعد است، که مقادیر بردار کدگشایی شده با یک عامل تغییر اندازه ثابت ضرب می شوند.

/* Determine positions of nonzero values */
if(nz<L){
l=L;
s=nz;
for(i=0;i<L;i++){
if(positions>=(l-1 choose s)){
positions-=(l-1 choose s);
s;
vect[i]=1;
}
l;
}}
else for(i=0;i<L;i++vect[i]=1;
/* all nonzero if nz=L */
/* Determine values */
s=nz;
k=K;
for(i=0;i<L;i++){
if(vect[i]){ /* Non-zero value here */
if(s==1){
vect[i]=k;
break;
}
else{
for(j=1;j<=k;j++){
if(values>=(k-j-1 choose s-2))
values-=(k-j-1 choose s-2);
elsebreak;
}
vect[i]=val=j;
}
k-=val;
s;
}
}
/* Add signs to vector elements */
for(l=0;l<L;l++){
if(vect[l]){
if((signs mod 2)==1)vect[l]=-vect[l];
signs=signs≫1;
}}
هر دو زیر اندیس موقعیت ها و مقادیر در حلقه ها کدگشایی می شوند، که بصورت تکراری مقایسه اجام شده و از افست ترکیبیاتی تفریق می شود. این حلقه ها پیاده سازی اصلی فرایند رمزگشایی VQ هرمی را تشکیل می دهند و مسیر بحرانی تراشه را می سازند. این حلقه ها غیر قطعی هستند چون تعداد تکرارهای حلقه به مقادیر اندیس وابسته است. مرحله سوم تغییر اندازه یا بعد است، که مقادیر بردار کدگشایی شده با یک عامل تغییر اندازه ثابت ضرب می شوند.

جدول۳ : جدول مقایسه ای با دیگر پژوهش ها

ویدئو مبتنی بر تقاضای پورتابل وروش کد گشایی هرمی	[18]مصرف بالای انرژی در دستگاه های پخش بی سیم مخدودیت پهنای باند نیاز به زیر ساخت بی سیم مستحکم و قوی برای انتقال ویدئو کاهش نرخ بیت و میزان اطلاعات افزایش سرعت و کیفیت در شرایط کم توان
فشرده سازی ویدئو با بهینه سازی الگوریتم ها	[19]نیاز به بهینه سازی بصورت اپتیمال برای حذف اطلاعات غیرضروری روش هایی داریم فشرده سازی برای الگوریتم های نسل جدید H.264 ,H.265 کاهش حجم ویدئو و صرفه جویی در فضای ذخیره سازی این الگوریتم ها می توانند در شبکه های با محدودیت پهنای باند در دستگاه های پخش ویدئیی مبتنی بر تقاضای پورتابل مفید باشند
روش شبکه عصبی عمیق و یادگیری ماشین	[20]بهبود و پیشرفت در دستگاه های پخش ویدئو و سیستم های مبتنی بر تقاضای پورتابل را فراهم می کنند کاهش بهبود کیفیت تصاویر و کاهش نویز و از تداخل های ناخواسته جلوگیری کرد کاهش نرخ بیت و برای مصرف انرژی مفید است پیش بینی تقاضا

کارهای آتی و روش پیشنهادی

پرتابل بودن قابلیت استفاده در هر مکان زمان و با هر دستگاهی را می دهد کیفیت تصویر کاهش می یابد تأخیر در دریافت و پخش است وابسته پهنای باند است اگر محدود باشد کیفیت و سرعت کاهش می یابد مصرف انرژی در دستگاه های قابل حمل منجر به مصرف باتری می شودو انتقال بی سیم بر پایه فناوری بی سیم بدون اتصالات فیزیکی و کابل ویدئو دریافت می شود و کدگشایی هرمی قابلیت فشرده سازی بالا دارد و حجم فایل کاهش می یابد کدگشایی هرمی VQ به کاهش تعداد بیت ها و صرفه جویی در فضای ذخیره سازی کمک می کند کدگشایی هرمی با نرخ ویدیویی کم توان ویدئو را بصورت تدریجی کدگشا می کند قابلیت سازگاری با باندهای پهن را دارد در صورتی که نیاز به پهنای باند محدود باشد این روش بهبودی در کیفیت تصویر می دهدو نیاز به محاسبات پیچیده دارد و نیازمند منابع سخت افزاری قدرتمند و زمان بیشتری باشددر مقابل خطاهای انتقال ویدئو حساس است و هر گونه خطای در انتقال ممکن است منجر به افت کیفیت تصویر شود و باعث تداخل و اشتباه در پخش ویدئو شود

بهبود فشرده سازی ویدئو تلاش برای بهبود روش های فشرده سازی الگوریتم بهبود فشرده سازی تصویر الگوریتم HEVC(High Efficiency Video Coding) الگوریتم فشرده سازی ترتیبی که بر اساس فریم ها در ویدئو عمل میکنند حذف اطلاعات اضافی و تکراری است و الگوریتم فشرده سازی H.264 با استفاده از ترتیب فریم ها استفاده می شود الگوریتم فشرده سازی مبتنی بر جریان داده Vp9 و AV1 تحقیقات بر روی الگوریتم های جدید کدگشایی با نرخ بیت کم توان شامل تحقیقات بر روی الگوریتم های مبتنی بر یادگیری عمیق شبکه های عصبی و الگوریتم های بهینه سازی بهبود مصرف انرژی در دستگاه های قابل حمل در سیستم ویدئویی هرمی VQ با نرخ ویدئویی کم توان و روش کد گشایی شامل بهینه سازی مصرف باتری در دستگاه های قابل حمل و افزایش عمر باتری می شود روش بهینه سازی با شبکه عصبی روش پیشنهادی در آینده که برای بهبود کیفیت تصاویر روشی با برد بهینه سازی بالا است. برای ارائه راهکارهای آتی در مقاله مروری بر سیستم ویدئو مبتنی بر تقاضای پورتابل بی سیم و روش کدگشایی VQ هرمی با نرخ ویدئویی کم توان می‌توان نیز به نکات زیر اشاره کرد:

بهبود الگوریتم‌های کدگشایی :توسعه و بهینه‌سازی الگوریتم‌های کدگشایی VQ هرمی برای افزایش کارایی و کاهش زمان پردازش، به ویژه در شرایط با منابع محدود. افزایش کیفیت ویدئو, تحقیق در مورد تکنیک‌های جدید برای بهبود کیفیت ویدئو در نرخ‌های پایین، شامل استفاده از فشرده‌سازی پیشرفته و تکنیک‌های بازسازی تصویر.توسعه سیستم‌های پورتابل:طراحی و توسعه سیستم‌های ویدئویی پورتابل با قابلیت‌های بیشتر و کارایی بالاتر، به ویژه برای استفاده در محیط‌های بی‌سیم و با توان پایین.حقیق در مورد شبکه‌های بی‌سیم: بررسی و تحلیل پروتکل‌های جدید شبکه بی‌سیم که می‌تواند به بهبود انتقال داده‌های ویدئویی در شرایط مختلف کمک کند.ادغام با فناوری‌های جدید:ادغام سیستم‌های ویدئویی با فناوری‌های نوین مانند هوش مصنوعی و یادگیری ماشین برای بهبود تشخیص و پردازش ویدئو.

آزمایش و ارزیابی: انجام آزمایش‌های میدانی و ارزیابی عملکرد سیستم‌های جدید در شرایط واقعی برای جمع‌آوری داده‌های لازم به منظور بهینه‌سازی بیشتر.این راهکارها می‌توانند به توسعه و بهبود سیستم‌های ویدئویی مبتنی بر تقاضا و کدگشایی VQ هرمی کمک کنند و به کارایی و کیفیت نهایی این سیستم‌ها بیفزایند. برای بهبود نرخ ویدئویی در سیستم‌های ویدئویی پورتابل بی‌سیم، می‌توان از راهکارهای زیر استفاده کرد:

فشرده‌سازی پیشرفته :استفاده از الگوریتم‌های فشرده‌سازی ویدئویی پیشرفته مانند HEVC (H.265) یا AV1 که می‌توانند نرخ بیت کمتری را برای کیفیت مشابه ارائه دهند.کدگشایی بهینه:بهینه‌سازی روش‌های کدگشایی ویدئو، مانند استفاده از کدگشایی VQ هرمی، که می‌تواند به کاهش زمان پردازش و افزایش کارایی کمک کند. تنظیم دینامیک نرخ بیت پیاده‌سازی الگوریتم‌های تنظیم دینامیک نرخ بیت که به طور

خودکار نرخ بیت را بر اساس شرایط شبکه و نیازهای کاربر تنظیم می‌کنند. استفاده از پروتکل‌های جدید:به کارگیری پروتکل‌های انتقال جدید مانند QUIC که می‌تواند به بهبود انتقال داده‌ها در شبکه‌های بی‌سیم کمک کند. بهبود کیفیت سیگنال بی‌سیم:استفاده از تکنیک‌های تقویت سیگنال و بهینه‌سازی شبکه‌های بی‌سیم برای کاهش تداخل و افزایش پهنای باند. تحلیل و پیش‌بینی محتوا: استفاده از هوش مصنوعی و یادگیری ماشین برای تحلیل و پیش‌بینی محتوا به منظور بهینه‌سازی فشرده‌سازی ویدئو. پیش‌پردازش ویدئو: اعمال تکنیک‌های پیش‌پردازش بر روی ویدئوها قبل از فشرده‌سازی برای کاهش نویز و بهبود کیفیت تصویر. این راهکارها می‌توانند به بهبود نرخ ویدئویی در سیستم‌های ویدئویی پورتابل بی‌سیم کمک کنند و تجربه کاربری بهتری را فراهم آورند. برای بهبود نرخ ویدئویی در سیستم‌های ویدئویی پورتابل بی‌سیم، تکنولوژی‌های جدید زیر می‌توانند مورد استفاده قرار گیرند: فشرده‌سازی ویدئویی پیشرفته HEVC (H.265)این استاندارد جدید فشرده‌سازی ویدئو می‌تواند کیفیت ویدئو را در نرخ بیت پایین‌تر حفظ کند و به همین دلیل برای انتقال ویدئو در شبکه‌های بی‌سیم بسیار مناسب است.کدگشایی ویدئو با استفاده از یادگیری عمیق :استفاده از الگوریتم‌های یادگیری عمیق برای کدگشایی ویدئو می‌تواند به بهبود کیفیت و کاهش زمان پردازش کمک کند. این تکنیک‌ها قادرند الگوهای پیچیده را شناسایی و بهینه‌سازی کنند.پروتکل‌های انتقال جدیدQUICاین پروتکل انتقال داده‌ها بهبود یافته‌ای از UDP است که می‌تواند زمان تأخیر را کاهش دهد و به بهبود تجربه کاربری در پخش ویدئو کمک کند.تحلیل و پیش‌بینی محتوا: استفاده از هوش مصنوعی برای تحلیل و پیش‌بینی محتوا به منظور بهینه‌سازی فشرده‌سازی ویدئو و کاهش حجم داده‌های منتقل شده.شبکه‌های بی‌سیم نسل جدید۵G : با ارائه پهنای باند بیشتر و تأخیر کمتر، شبکه‌های G۵ می‌توانند به بهبود کیفیت ویدئو در سیستم‌های پورتابل بی‌سیم کمک کنند. تکنیک‌های پیش‌پردازش ویدئو:اعمال تکنیک‌های پیش‌پردازش مانند کاهش نویز و بهبود کیفیت تصویر قبل از فشرده‌سازی می‌تواند به افزایش کیفیت ویدئو کمک کند.این تکنولوژی‌ها می‌توانند به بهبود نرخ ویدئویی در سیستم‌های ویدئویی پورتابل بی‌سیم کمک کنند و تجربه کاربری بهتری را فراهم آورند.

نتیجه گیری

مقاله بررسی شده در شبکه بی سیم , انتقال ویدئو با نرخ کم توان چالش خاصی بهمراه دارد این چالش ها شامل کیفیت تصاویر افزایش تأخیر و افزایش مصرف انرژی این مقاله راهکارهایی برای مقابله با این چالش ها می پردازد. امکان انتقال ویدئوهای با کیفیت مناسب در شبکه های بی سیم با نرخ توان را فراهم می کند این سیستم با استفاده از الگوریتم های هوشمند کاهش مصرف انرژی را بهمراه دارد از طرفی استفاده از روش کدگشایی هرمی بهبود چشمگیری در کیفیت تصویر و تأخیر ارائه می دهد و در کاهش مصرف انرژی موثر است. بخاطر طراحی نسبتا بزرگ، مسیریابی کلاک سراسری گسترده باعث مصرف توان قابل توجه می شود. توان کل مصرفی توسط کلاک بندی ، از جمله کلاک بندی سراسری در کنترل ، مسیرهای داده ، و FIFO ها ، ۵۰ درصد توان مصرف می کند. توان مصرفی در دسترسی های بیرونی بخش کوچکی را شامل می شود چون دسترسی های برون تراشه فقط به داده های فشرده محدود است، هم در وردی هم خروجی .

طراحی سیستم های الترونیک کم توان ، مخصوصا سیستم های پورتابل ، نیازمند یکپارچه سازی عموذی فرایند طراحی در تمام سطوح است، از توسعه الگوریتم ، معماری سیستم تا نمای مدار . عملکرد سیستم نباید فدای مصرف توان کمتر بشود. سیستم ویدئو مبتنی بر تقاضا که ما آموختیم می تواند نوآوری های معماری و الگوریتمی را به کار برد ، این از دانش سخت افزاری و ویژگی های مدار حاصل می گردد. طراحی الگوریتم مبتنی بر سخت افزار از اصل های مهم سیستم های پورتابل است. بدون ابزارهای ساخت سطح بالا نمی شود یکپارچه کردن عمودی را حقیقت بخشید. طراح باید با همه سطوح فرایند طراحی آشنا باشد ، که برای رسیدن به جواب بهینه سراسری در امور توازن برقرار کند.

منابع

[1]Pennebaker WB, Mitchell JL. JPEG: Still image data compression standard. Springer Science & Business Media; 1992 Dec 31.

[2] Rubinstein R, Bruckstein AM, Elad M. Dictionaries for sparse representation modeling. Proceedings of the IEEE. 2010 Apr 22;98(6):1045-57.

[3]Meng TH, Tsern EK, Hung AC, Hemami SS, Gordon BM. Video compression for wireless communications. Wireless Personal Communications: Trends and Challenges. 1994:101-17.

[4] Li S, Kang X, Fang L, Hu J, Yin H. Pixel-level image fusion: A survey of the state of the art. information Fusion. 2017 Jan 1;33:100-12.

[5] Sheltami T, Musaddiq M, Shakshuki E. Data compression techniques in wireless sensor networks. Future Generation Computer Systems. 2016 Nov 1;64:151-62.

[6]Mammeri A, Hadjou B, Khoumsi A. A survey of image compression algorithms for visual sensor networks. International Scholarly Research Notices. 2012;2012.

[7]Shafi R, Shuai W, Younus MU. 360-degree video streaming: A survey of the state of the art. Symmetry. 2020 Sep 10;12(9):1491.

[8]Xu R, Razavi S, Zheng R. Edge Video Analytics: A Survey on Applications, Systems and Enabling Techniques. IEEE Communications Surveys & Tutorials. 2023 Oct 10.

[9] Min X, Duan H, Sun W, Zhu Y, Zhai G. Perceptual video quality assessment: A survey. arXiv preprint arXiv:2402.03413. 2024 Feb 5..

[10] Min X, Duan H, Sun W, Zhu Y, Zhai G. Perceptual video quality assessment: A survey. arXiv preprint arXiv:2402.03413. 2024 Feb 5.
[11] Madhusudana PC, Birkbeck N, Wang Y, Adsumilli B, Bovik AC. Conviqt: Contrastive video quality estimator. IEEE Transactions on Image Processing. 2023 Sep 7.
[12]Bokhari SM, Nix AR, Bull DR. Rate-distortion-optimized video transmission using pyramid vector quantization. IEEE transactions on image processing. 2012 Mar 21;21(8):3560-72.
[13]. Saha A, Pentapati SK, Shang Z, Pahwa R, Chen B, Gedik HE, Mishra S, Bovik AC. Perceptual video quality assessment: The journey continues!. Frontiers in Signal Processing. 2023 Jun 27;3:1193523.
[14] Chen Y, Wu K, Zhang Q. From QoS to QoE: A tutorial on video quality assessment. IEEE Communications Surveys & Tutorials. 2014 Oct 22;17(2):1126-65.
[15] Kougioumtzidis G, Poulkov V, Zaharis ZD, Lazaridis PI. A survey on multimedia services QoE assessment and machine learning-based prediction. IEEE Access. 2022 Feb 7;10:19507-38.
[16] Jung B, Burleson WP. VLSI array architectures for pyramid vector quantization. Journal of VLSI signal processing systems for signal, image and video technology. 1998 Feb;18:141-54.
[17] Russek P, Wiatr K. Rekonfigurowalny kwantyzator wektorowy do kodowania obrazów w czasie rzeczywistym. Kwartalnik Elektroniki i Telekomunikacji. 2003;49(3):355-72..
[18] Russek P, Wiatr K. Zastosowanie techniki rekonfigurowalności sprzętowej przy budowie systemów kompresji obrazu. Automatyka/Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie. 2003;7(3):767-78.
[19]Alhayani BS, Hamid N, Almukhtar FH, Alkawak OA, Mahajan HB, Kwekha-Rashid AS, İlhan H, Marhoon HA, Mohammed HJ, Chaloob IZ, Alkhayyat A. Optimized video internet of things using elliptic curve cryptography based encryption and decryption. Computers and Electrical Engineering. 2022 Jul 1;101:108022.
[20]Sheltami T, Musaddiq M, Shakshuki E. Data compression techniques in wireless sensor networks. Future Generation Computer Systems. 2016 Nov 1;64:151-62.
[21] Huang CJ, Cheng HW, Lien YH, Jian ME. A survey on video streaming for next-generation vehicular networks. Electronics. 2024 Feb 4;13(3):649.
[22] van der Hooft J, Amirpour H, Vega MT, Sanchez Y, Schatz R, Schierl T, Timmerer C. A tutorial on immersive video delivery: From omnidirectional video to holography. IEEE Communications Surveys & Tutorials. 2023 Mar 30;25(2):1336-75.

سپیده گوهری

در سال ۱۳۸۵ کاردانی ناپیوسته سخت افزار در دانشگاه اقلید استان فارس به تحصیل پرداخته اند. در سال ۱۳۸۹کاردانی ناپیوسته نرم افزار از دانشگاه آزاد اسلامی واحدکرج دریافت نموده است و در سال ۱۳۹۴کارشناسی ناپیوسته نرم افزار از دانشکده مهندسی کامپیوتر دانشگاه آزاد اسلامی واحد تهران شمال دریافت نموده است. ایشان در سال ۱۴۰۰ کارشناسی ارشد معماری سیستم های کامپیوتری را از دانشکده برق وکامپیوتر دانشگاه صنعتی خواجه نصیرالدین طوسی را اخذ نموده و دوره های تخصصی مرتبط با حوزه پژوهش در دانشگاه علم صنعت شرکت نموده است . همچنین ایشان اکنون در دوره دکتری تخصصی در دانشکده مهندسی کامپیوتر دانشگاه آزاد اسلامی واحد تهران شمال مشغول به تحصیل و تدریس دروس مقطع کارشناسی می باشد و در حوزه پژوهشی خود مقالات تخصصی تألیف می نماید.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University, Khodabandeh Branch, Zanjan. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0