APJ. 5(1):1-11, Spring 2024

Arman Process Journal (APJ)

Homepage: armanprocessjournal.ir

A Review of Hardware Testing Problem for Fault-Tolerant Multimedia Compression Based on Linear Transforms

***S. Gohari*[*,1]**

[1] *Computer Engineering Department, Islamic Azad University, North Tehran Branch, Tehran, Iran*

ABSTRACT

Received: 7 January 2023
Accepted: 26 May 2024

KEYWORDS:
Compression on DCT,
Hardware Test,
Linear Transformation Scalar,
Error Tolerant,
Quantization,

[1] Corresponding author
sgohari.1984@gmail.com

Considering the increasing importance of hardware testing in the field of multimedia compression, this article examines different methods and approaches for this problem. These tests are performed in order to ensure the accuracy and efficiency of multimedia compression, as well as increase resistance to errors. Also, in this article, the importance of using linear transformations in multimedia compression has been investigated, and hardware testing methods for evaluating the quality and performance of multimedia compression have been investigated. These tests include random error tests, special error tests, and sampling tests, which aim to ensure that multimedia information is robust to errors. In another part of this research, a fault-tolerant scheme at the system level is proposed for systems where a linear transformation is combined with quantization. Using the concept of acceptable degradation, our scheme categorizes hardware defects into acceptable and unacceptable defects. Analytical techniques are also proposed that allow us to estimate the effect of defects on compression performance and to propose methods for creating acceptable degradation thresholds and corresponding test algorithms for DCT-based systems. In general, the results show that using linear transformations and performing appropriate hardware tests can help improve the quality and efficiency of multimedia compression and increase resistance to errors, and the main achievement includes increasing the compression speed, reducing the size of files, The quality of image and sound has been improved, as well as the resistance against errors has been increased, and it is also possible to effectively recover information in the event of an error.

NUMBER OF REFERENCES	NUMBER OF FIGURES	NUMBER OF TABLES
20	7	0

نشریه تخصصی آرمان پردازش، دوره ۵، شماره ۱، بهار ۱۴۰۳

فصلنامه تخصصی آرمان پردازش
(APJ)
Homepage: www.armanprocessjournal.ir

مروری بر مساله تست سخت افزار برای فشرده سازی چند رسانه ای مقاوم در برابر خطا بر اساس تبدیلات خطی

سپیده گوهری *[1]

دانشکده مهندسی کامپیوتر، دانشگاه آزاد اسلامی، واحد تهران شمال، تهران، ایران

چکیده

با توجه به اهمیت روزافزون مساله تست سخت افزاری در حوزه فشرده سازی چندرسانه ای، مقاله حاضر به بررسی روش ها و رویکردهای مختلف برای این مساله می پردازد. این تست ها به منظور اطمینان از صحت و کارایی فشرده سازی چندرسانه ای و همچنین افزایش مقاومت در برابر خطا انجام می شود. همچنین در این مقاله اهمیت استفاده از تبدیلات خطی در فشرده سازی چندرسانه ای بررسی شده و روش های تست سخت افزاری برای ارزیابی کیفیت و عملکرد فشرده سازی چندرسانه ای مورد بررسی قرار گرفته اند. این تست ها شامل تست های خطای تصادفی، تست های خطای ویژه و تست نمونه برداری هستند که هدف آنها اطمینان حاصل کردن از این است که اطلاعات چند رسانه ای مقاوم در برابر خطاها می باشند. در بخش دیگر این پژوهش، یک شمای مقاوم در برابر خطا در سطح سیستم ، برای سیستم هایی که یک تبدیل خطی با کمی سازی ترکیب می شود، پیشنهاد می گردد. با استفاده از مفهوم تنزل قابل قبول، طرح ما نقص های سخت افزاری را به نقص های قابل قبول و غیر قابل قبول دسته بندی می کند. همچنین تکنیک های تحلیلی پیشنهاد می گردد که اجازه می دهد اثر نقص ها بر عمکرد فشرده سازی را تخمین زده و متدهایی برای ایجاد آستانه های تنزل قابل قبول و الگوریتم های تست متناظر برای سیستم های مبتنی بر DCT پیشنهاد نمائیم. بطور کلی نتایج نشان میدهد که استفاده از تبدیلات خطی و انجام تست های سخت افزاری مناسب می تواند به بهبود کیفیت و کارایی فشرده سازی چندرسانه ای و افزایش مقاومت در برابر خطاها کمک کند و دستاورد اصلی شامل افزایش سرعت فشرده سازی، کاهش حجم فایل ها، بهبود کیفیت تصویر و صدا و همچنین افزایش مقاومت در برابر خطاها بوده است و همچنین امکان بازیابی موثر اطلاعات در صورت خطا فراهم می گردد.

واژگان کلیدی:

فشرده سازی در DCT،
تست سخت افزاری،
تبدیلات خطی اسکالر،
تحمل خطا،
کوانتیزاسیون،

تعداد جداول	تعداد شکل ها	تعداد مراجع
۰	۷	۲۰

مقدمه

تاریخچه موضوع تست تولید کلاسیک برای تراشه های دیجیتال، تراشه ها را به دو دسته تقسیم می کند: کامل و ناقص. انگیزه کار ما این است که در برخی موارد می شود از تراشه های ناقص استفاده کرد، مادامی که آنها خطاهای قابل قبول وارد کنند. تحمل خطا (ET) موجب تخفیف شرط ۱۰۰ درصد صحت برای دستگاه ها و اتصالات بینابینی می شود، این بطور قابل توجهی هزینه های ساخت، اعتبار سنجی ، و تست را کاهش می دهد. دسته بندی تراشه ها به قابل قبول و غیر قابل قبول باعث افزایش نرخ بازدهی می شود. این که چه چیزی تنزل قابل قبول در عملکرد سیستم را می سازد، به کاربرد وابسته است. هر دو معیار عملکرد و آستانه دسترس پذیری به کاربرد وابسته اند. ما سیستم های فشرده سازی چند رسانه ای را بعنوان حوزه کاربرد امید بخش برای مفاهیم ET پیشنهادی خودمان در نظر می گیریم. چون ۱-سیستم های فشرده سازی چند رسانه ای زیادی در دستگاه های مصرفی استفاده می شوند، پس کاهش هزینه مهم است. ۲-خود فشرده سازی باعث بازنمایی با اتلاف سیگنال ها می شود، پس اثر نقص های سیستم بصورت منبع اضافی نویز یا بلوک های ساختمانی اش دیده می شود. بخصوص مولفه تخمین حرکت آن (ME)، بگونه ای هستند که نقص های سخت افزاری موجب تنزل قابل قبول در خروجی های سیستم شوند.

در این جا بر مولفه خیلی معمول سیستم های فشرده سازی چند رسانه ای تمرکز می کنیم، یعنی تبدیل کوسینوسی گسسته (DCT). این تبدیل در رمزکننده های ویدئویی ، مثل MPEG ، رمز کننده های تصویر مانند JPEG استفاده می شوند، و تبدیلات بلوک خطی مشابه در سیستم های فشرده سازی نوظهور استفاده می شوند مانند ITU-T H.264. در همه این سیستم ها ، تبدیل بعد از کمی سازی انجام می شود. پس در حالیکه نقص ها در عمل تبدیل را در نظر می گیریم، تحلیل ما اثر عیب ها پس از کمی سازی را هم لحاظ می کند.

برای ارائه چند شهود در مورد اثر عیب ها در DCT، ما تنزل میانگین نسبت پیک سیگنال به نویز (PSNR) ناشی از تک استاک در خطاها (SSF)را در ورودی یک بلوک DCT نشان می دهیم. PSNR متریک کیفیت عینی پذیرفته شده و مورد استفاده در فشرده سازی تصویر/ویدئو میباشد. چند نقص ، تنزل قابل قبول ایجاد می کند. برای مثال اگر تنزل PSNR قابل قبول را کمتر از ۰,۲ دسی بل تنظیم کنیم، بیشتر از نیمی از نقص ها در ورودی قابل قبول هستند. از جدول ۱ می بینید اثر عیب به انتخاب پارامترهای کمی سازی بر می گردد، طبق انتظار ، عیب خاص در محاسبه تبدیل، اثر کمتری دارد هر چه که کمی سازی درشت تر می شود (در نرخ های بیت کمتر –حالت تقریبی تر پیدا می کند). هر دو عیب سخت افزاری و کمی سازی در بیشتر شدن اعوجاج در تصاویر رمزگشایی شده سهم دارند، ولی اعوجاج کمی سازی که بیشتر می شود اعوجاج اضافی ناشی از نقص قابل چشم پوشی می گردد. تغییر کیفیت برای یک تصویر تست، توسط محاسبه تفاضل در PSNR تصویر رمزگشایی شده ی به دست آمده از یک کدگذار JPEG بدون خطا و آن که توسط کدگذار JPEG خطا دار تولید شده ، سنجیده می شود. یک مقدار منفی متناظر با تنزل کیفیت می باشد. بیت ۰ متناظر با کم ارزش ترین بیت یک پیکسل ورودی است. پارامتر R سطح کمی سازی را کنترل می کند، هر چه R بزرگتر کمی سازی درشت تر می شود (نرخ بیت کمتر و کیفیت تصویر رمزگشایی شده هم بدتر می شود).

هدف ما ، تعریف روشی برای تمایز قائل شدن بین نقص های قابل قبول و غیر قابل قبول در سیستم های متشکل از تبدیل خطی پس از کمی سازی، می باشد. ابزارهایی پیشنهاد می دهیم که ۱-اثر هر نقص در خروجی سیستم تخمین زده شود. ۲-روی آستانه تنزل قابل قبول تصمیم گیری شود، تعیین شود هر عیب خاص قابل قبول هست یا نه. پس باید مشخصات ورودی و معماری سیستم را تجزیه تحلیل کنیم (آمارهای داده تصویر معمولی)، همچنین الزامات کیفیت تصویر/ویدئو را در آن کاربرد خاص در نظر بگیریم. سپس متدهای تست را برای دسته بندی سیستم ها با نقص های شناخته نشده به سیستم های قابل قبول و غیر قابل قبول تولید کنیم. طبق آزمون های قبلی روی ET ، کار جدید این مقاله این است که آمارهای ورودی معمولی را در نظر می گیرد بجای اینکه فرض کند توزیع ورودی ها یکنواخت است. همچنین تکنیک های تست خطای بیتی خاص –منظوره پیشنهاد می دهیم. تحلیل ما خاص تبدیلات خطی پس از کمی سازی می باشد، و آستانه های تنزل قابل قبول ما، اثر مفهومی نقص ها بر کاربردهای فشرده سازی تصویر و ویدئوی معمولی را در نظر می گیرند.

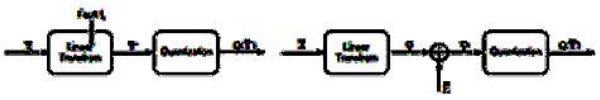
نتایج نشان می دهند بخشی از نقص های بین اتصالات درون یک ماژول 1D DCT در یک رمزگشای JPEG قابل قبول هستند (در نرخ های فشرده سازی قابل تایید کار می کنند) معیارهای پذیرش ما ، حداکثر خطای خروجی را تصور می کنند (خطای وابسته به ورودی) ، همچنین نرخی که در آن خطاهای خاصی رخ می دهند. ما تکنیک هایی برای کاهش تعداد بردارهای تست مورد استفاده پیشنهاد می کنیم، که تعداد اندک بردارهای تست را به ما نشان می دهد که بصورت عملی موجب پوشش تست مشابه می شوند (تفاضل در ۱ درصد، با فاکتور کاهش ۶۴ در تعداد بردارهای تست).

ساختار مقاله بدین شرح است: بخش ۲ چارچوب کلی مقاله برای تحلیل تبدیلات خطی پس از کمی سازی می باشد ، و ابزارهایی برای تعیین اثر عیب ها در خروجی فراهم می کند. در بخش ۳ ، از DCT بعنوان مثال استفاده می کنیم و روشی برای انتخاب آستانه های خطای

مفهومی ارائه می دهیم. همچنین مروری بر متد تحلیل خطا می کنیم. در بخش ۴ ، متدهای هیورستیک (ابتکاری) برای کاهش اندازه مجموعه بردارها پیشنهاد می دهیم، در حالیکه دقت تخمین های آمارهای خطای ما حفظ شوند. نتایج برای توصیف عملکرد بردارهای تست برای آزمودن ماژول 1D DCT در انتها عرضه می شوند.

تحمل نقص در سطح سیستم در تبدیل خطی و کمی سازی

تبدیلات خطی برگشت پذیر، برای استخراج اطلاعات فرکانس معنی دار از سیگنال ها مورد استفاده قرار می گیرند. در کاربردهای فشرده سازی با اتلاف ، این تبدیل ها بعد از کمی سازی انجام می شوند، طبق شکل ۱. ورودی به سیستم یک بردار $\bar{\mathbf{X}}$ است، که از توزیع برداری نتیجه شده که به لحاظ آماری می شود آن را بیان کرد، یعنی توسط ساختار کواریانسی آن. می توانیم مجموعه نقص های احتمالی، یا فضای نقص، F، را با تحلیل معماری سیستم تعریف کنیم. فرض کنیم یک عیب $f_i \in \mathbf{F}$ در تبدیل وجود دارد و خروجی نقص دار هم به صورت $\bar{\mathbf{Y}}'$ باشد. فرض که $\bar{\mathbf{Y}}$ خروجی سیستم بدون نقص وقتی که ورودی $\bar{\mathbf{X}}$ باشد. هدف ما است که تحلیل کنیم آیا عیب خاص f_i قابل قبول هست .



[1] شکل ۱-تبدیل خطی و کمی سازی

برای ساده کردن تحلیل ، اثر نقص را بصورت عبارت $\bar{\mathbf{E}}$ افزوده به خروجی بدون نقص $\bar{\mathbf{Y}}$ نگاه می کنیم. $\bar{\mathbf{E}}$ یک تابع قطعی f_i، $\bar{\mathbf{X}}$، و ساختار تبدیل خطی است. چون ما تبدیلات برگشت پذیر را در نظر می گیریم ، نگاشت یک به یک بین $\bar{\mathbf{X}}$ و $\bar{\mathbf{Y}}$ وجود دارد پس $\bar{\mathbf{E}}$ مستقل از $\bar{\mathbf{Y}}$ نیست.

۱-۲-تحلیل کمی سازی

کمی سازی اسکالر بطور نرمال استفاده می شود طوری که هر مولفه $\bar{\mathbf{Y}}$ (یا $\bar{\mathbf{Y}}'$)بصورت مستقل از هم کمی سازی شوند. فرض که Y_i ، E_i ، Y_i' ، i امین مولفه بردارهای $\bar{\mathbf{Y}}$ ، $\bar{\mathbf{E}}$ و $\bar{\mathbf{Y}}'$ باشند. البته با $i = 1 \ldots N$ که N بعد بردار است. وقتی هر مولفه را در نظر می گیریم، می توان فرض کرد E_i مستقل از Y_i است ، هر چند $\bar{\mathbf{Y}}$ و $\bar{\mathbf{E}}$ وابسته هستند. برای یک مقدار خاص Y_i مقادیر ممکن E_i زیادی وجود دارند، که به $Y_j,\ j \neq i$ وابسته هستند. سپس فرض می کنیم E_i یک خطای افزونه تصادفی مستقل از Y_i می باشد. این فرض برای سیستم های متداول معقول است، در ادامه برای راحتی روی یک مولفه تمرکز می کنیم و اندیس i را حذف می کنیم.

اکنون تحلیل می کنیم چطور خطای E موجب خطای افزونه بعد از کمی سازی می شود. E و Y متغیرهای تصادفی گسسته و پیوسته هستند، با pmf/pdf معین. ما از تفاضل های مطلق بعنوان یک متریک اعوجاج استفاده می کنیم، بخاطر سادگی محاسبه اش. فرض کنید اندازه BIN کمی سازی Δ باشد و تعریف می کنیم :

$$\Delta D = D_{QE} - D_Q,$$

اعوجاج اضافی بعد از کمی سازی ناشی از خطای E ، که $D_{QE} = |Q(Y') - Y|$ ، اعوجاج ناشی از هر دو کمی سازی و خطا است، و $D_Q = |Q(Y) - Y|$ اعوجاج ناشی از فقط کمی سازی است.

برای سادگی E را این طور نشان می دهیم :

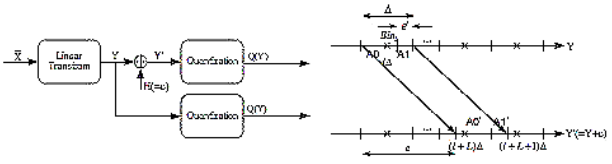
[5][1]

$$E = L\Delta + E',$$

که $L = \lfloor \frac{E}{\Delta} \rfloor$ عدد صحیح غیر منفی و $0 \leq E' < \Delta$ می باشد.

شکل ۲ رابطه بین $Q(Y')$ و $Q(Y)$ را نشان می دهد. برای $l\Delta$ $= Q(Y)$ و برای یک خطای خاص ، $Q(Y')$ می تواند دو مقدار بگیرد ، بسته به مقدار اصلی Y. پس داریم:

$$Q(Y') = \begin{cases} (l+L+1)\Delta, & if\ Y \in \mathbf{A1} \\ (l+L)\Delta, & if\ Y \in \mathbf{A0} \end{cases} \qquad (1)$$

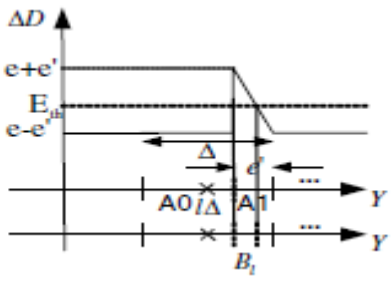


شکل ۲-تحلیل کمی سازی

Y به bin های با اندازه (Δ) کوانتیزه می شود. اگر ما روی یک bin (Bin_l) تمرکز کنیم ، $Q(Y)=l\Delta$ مرکز آن bin خواهد بود. $Y'=Y+e$ اکنون متعلق به bin کمی سازی متفاوتی است. دو مورد برای یک خطای خاص e، وجود دارند. اگر $Y'\in \mathbf{A1}'$ آنگاه $Q(Y')\in (l+L+1)\Delta$. بطور جایگزین، $Y'\in \mathbf{A0}'$، متناظر با $Y\in \mathbf{A0}$ است، که نتیجه می دهد: $Q(Y')\in (l+L)\Delta$. پس دو خطا ممکن هستند وقتی که $Y\in Bin_l$.

اکنون از (۱) استفاده می کنیم تا خطای افزوده در خروجی ناشی از خطا، را ارزیابی کنیم. خطای مربع میانگین (MSE) محبوب ترین متریک اعوجاج عینی برای کاربردهای کدگذاری تصویر و ویدئو می باشد. هر چند ادعا می کنیم MSE انتخاب مناسبی برای مساله ما نیست. در یک سناریوی فشرده سازی معمولی ، کمی سازی طوری طراحی می شود که نویز روی همه مولفه های $\bar{\mathbf{Y}}$ به روش کنترل شده ای اثر بگذارد، مطابق با معیارهای مفهومی. بجای آن ، خطای تولید شده توسط یک خطا را در نظر می گیریم، که چنین ویژگی هایی ندارد، و می تواند بطور نا برابر روی مولفه های متعدد $\bar{\mathbf{Y}}$ توزیع شود. در ارزیابی ما این حالت رخ می دهد مثلا خطاهای معین در خروجی ، برای اکثر بلوک های تصویر خطایی تولید نمی کنند و خطاهای خیلی مشاهده شدنی برای چند بلوک رخ می دهند. در این حالت MSE متریک مناسب نیست، چون خطای بزرگ در چند بلوک کم ، که کاربر نهایی متوجه آن می شود ، باعث MSE سراسری کم می شود. یک جایگزین پیشنهادی این است : -متریک حداکثر خطا (E_{max})، که بدترین خطای افزودنی ممکن را پس از کمی سازی می سنجد (به ازای هر ورودی)، -روش بعدی متریک نرخ خطا (P_o) که احتمال اینکه تنزل غیر قابل قبول برای یک pdf ورودی معین رخ دهد اندازه می گیرد.

۱-۱-۲-تحلیل E_{max} و P_o



شکل ۳-رابطه بین ΔD و Y

در لبه $41\ \Delta D$ دارای ماکزیمم است. $\mathbf{B_i}$ محدوده Y در هر BIN کمی سازی (Bin_i) است که ΔD بزرگتر از آستانه خطا (E_{th}) می باشد. ما نیاز به یکی کردن $f_Y(y)$ روی این محدوده داریم تا نرخ خطا را به دست آوریم.

شکل ۳ رابطه بین ΔD و Y را برای مقدار خاص خطای e نشان می دهد، و با فرض $e=L\cdot\Delta+e'$. وضعیتی را در نظر بگیرید که $L=0$ باشد یعنی $e<\Delta$ و $e'=e$، و دو حالت مختلف را مشاهده کنید. ابتدا ، اگر [1][2] $= [(l+0.5)\Delta-e',(l+0.5)\Delta]$, then $\Delta D=|(l+1)\Delta-Y|-|l\Delta-Y|$ ، آنگاه $\Delta D=|(l+1)\Delta-Y|-|l\Delta-Y|$ (چون خطا ناشی از شیفت های خطای ورودی به کمی ساز است که خروجی را به سمت bin کمی سازی بعدی شیفت می دهد). در این حالت ، هر چه Y زیاد می شود ، $|l\Delta-Y|$ بیشتر شده ، و $|(l+1)\Delta-Y|$ کاهش می یابد، پس ΔD کم می شود. بجای اینکه اگر

$$A0=[(l-0.5)\Delta,(l+0.5)\Delta-e'],\ \Delta D=|l\Delta-Y|-|l\Delta-Y|=0.$$

نتایج مشابه وقتی به دست می آید که L غیر صفر باشد، با افزودن $L\Delta$ به خطای نهایی (برای ورودی ها در هر دو بازه A0 و A1). از شکل ۳ می بینید

$$E_{max}=E+E' \text{ (when } E\le\Delta,\ E_{max}=2E, \text{ since } E=E').$$

چون $E\le\Delta, E_{max}=2E$ (وقتی $E_{max}=E+E'$ $E=E'$). برای تعیین P0 ، آستانه خطا را برای تنزل قابل قبول E_{th} انتخاب می کنیم ، که آن را با نشان می دهیم. سپس P0 را این طور تعریف می کنیم:

$$P(\Delta D\ge E_{th}|E=e)P_E(e). \qquad (2)$$

عبارت های مختلفی دارد که این به مقادیر نسبی خطا (e) و آستانه خطا (E_{th}) بستگی دارد [1-3].

$$,D\ge E_{th}|E=e)=\begin{cases}\int_{\cup \mathbf{B_l}} f_Y(y)dy, e-e'<Eth<e+e'\\ 0, E_{th}>e+e'\\ 1, E_{th}<e-e'\end{cases}$$
$$=\{Y|\ i\Delta+\tfrac{\Delta}{2}-e'\leqq Y<i\Delta+\tfrac{\Delta}{2}-e'+\tfrac{e+e'-E_{th}}{2}\}$$

در اینجا $\mathbf{B_i}$ محدوده Y در هر bin کمی سازی (Bin_i) است که $\Delta D \geq E_{th}$ با استفاده از (۳) ، می نویسیم [4] :

$$P_E(e)\int_{\cup \mathbf{B_i}} f_Y(y)dy + \sum_{\lfloor \frac{e}{\Delta} \rfloor > \frac{E_{th}}{\Delta}} P_E(e) \qquad (4)$$

برای ساده کردن (۴) ، فرض می کنیم pdf مربوط به Y $(f_Y(y))$ هموار است. و K را این طور تعریف می کنیم [5] :

$$K=\frac{\int UB\ fY(y)dy}{|B_1|\Delta}\ |B_1|\text{:e+e'-}E_{th}(thershould\ of\ B_1)$$

بسته به مقادیر نسبی σ_{max} ، و Δ و

K می توان نوشت [6] :

- Case 1: $K \approx 1, \Delta << \sigma_{max}$
- Case 2: $K < 1, \Delta = G\sigma_{max}, (G \approx 1)$
- Case 3: $K \approx 0, \Delta >> \sigma_{max}$

[6]

وقتی اندازه bin کمی سازی خیلی کمتر از محدوده پویای سیگنال باشد، که بصورت σ_{max} نشان داده می شود، یعنی حالت ۱ ، از (۵) داریم: $\int_{\cup \mathbf{B_i}} f_Y(y)dy \simeq |B_i|/\Delta.\ \text{As}\ \Delta$

هر چه Δ نسبت به σ_{max} کوچکتر می شود (مورد های دو و سه) $\int UB_1FY(dy)$ کم می شود. می توانیم

P0 را بصورت تابعی از K بنویسیم :

$$\sum_{\frac{-e-e'}{\Delta}<\lfloor \frac{e}{\Delta} \rfloor<\frac{E_{th}}{\Delta}} P_E(e)K\frac{e+e'-E_{th}}{2\Delta} + \sum_{\lfloor \frac{e}{\Delta} \rfloor > \frac{E_{th}}{\Delta}} P_E(e) \qquad (6)$$

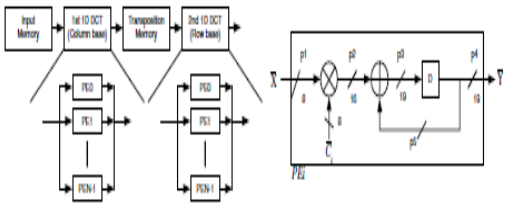


Figure 4. DCT block diagram

شکل ۴-بلوک دیاگرام DCT[3]

طبق (۶) ، برای تخمین P0 ، باید آستانه را انتخاب کنیم و pdf/pmf Y و E را تخمین بزنیم.

۳-تحمل خطا در سطح سیستم در DCT و کمی سازی

در ادامه به تحلیل مفصل عمل تبدیل ، با استفاده از تبدیل کوسینوسی گسسته (DCT) می پردازیم. شکل ۴ ساختار اصلی سیستم DCT جداشدنی ۲ بعدی را نشان می دهد، که با کمک دو سیستم 1D DCT و چند حافظه قابل پیاده سازی است. توجه شود 1D DCT متشکل از ماژول های PE_i موازی است. که هر عنصر پردازشگر ، ضرب نقطه ای بین بردار ورودی $\bar{X}$ و یکی از بردارهای پایه 1D DCT $\bar{C}_i$ را محاسبه می کند، که آن را با DC (کمترین فرکانس) و AC1 تا AC7 (که AC7 بردار پایه با بالاترین فرکانس است) نشان می دهیم.

۳-۱-فرمولاسیون

ورودی $(X(i,j))$ برای 2D DCT یک بلوک $N \times N$ از پیکسل های تصویر و خروجی $(Y(u,v))$ یک ماتریس به اندازه $N \times N$ است، که هر ورودی یک مولفه فرکانس از بلوک تصویر اصلی را نشان می دهد هر یک از این ضرایب فرکانس بصورت مستقل از هم کمی سازی می شوند، و $E(u,v)$ مستقل از تصور $Y(u,v)$ می شود. بین ساختارهای مختلف پیشنهادی برای PE_i ، ما یک پیاده سازی سری ساده و ساختار تجمعی را در نظر می گیریم مثل شکل ۴. فضای خطای F شامل فقط تک استاک در خطاها (SSF) یا اتصالات بینابین می باشد. فرض کنیم pdf مربوط به $Y(u,v)$ طبق آمارهای گرفته شده از تصویرهای معمولی معین باشد.

۳-۲-تحلیل متریک سیستم

طراحی ما طبق تنظیم آستانه برای یک مقدار خطای ماکزیمم برای هر فرکانس ، $E_{th}(u,v)$، و یک آستانه P_{th} برای احتمال تجاوز از آن خطا می باشد. عبارت در بخش ۲-۱-۱-، به ما اجازه می دهد P0 را برای یک مولفه فرکانس محاسبه کنیم. اکنون باید این مقادیر $(P_o(u,v))$ را درون یک P0 سراسری ترکیب کنیم.[7]

$$= 1 - \prod_{u=1}^{N}\prod_{v=1}^{N}(1 - P_o(u,v)). \qquad (7)$$

اگر فرض شود $P_o(u,v)$ برای همه ی u,v کوچک است ، انگاه داریم $P_o \approx \sum_{u=1}^{N}\sum_{v=1}^{N} P_o(u,v)$. پس برای اینکه خطا با احتمال معین آستانه خطای P_{th} قابل قبول باشد ، داریم [8]:

$$\sum_{u=1}^{N}\sum_{v=1}^{N} P_o(u,v) \le P_{th}. \qquad (8)$$

در تحلیل خود ، ابتدا یک تحلیل خطا انجام می دهیم تا برای هر خطای ممکن یک متغیر تصادفی $(E(u,v))$را داشته باشیم که خطای افزوده شده توسط خطا را ضبط می کند/ با این کار می توانیم P0 و E_{max} را با کمک آمارهای ورودی و هر مقدار آستانه (E_{th}) حساب کنیم. دوم، یک تحلیل آستانه انجام می دهیم تا آستانه خطای مناسب $(E_{th}(u,v))$ و آستانه نرخ خطا (P_{th})را برای کاربرد خاص مشخص کنیم. با این اطلاعات ، به سراغ تحلیل نقص می رویم، تا مشخص شود آیا نقص خاصی قابل قبول هست یا نه. در تحلیل نقص ، $E(u,v)$ به ساختار DCT ، pdf ورودی ، و نقص f_i وابسته است، و می توانیم آماره های $E(u,v)$ را با شبیه سازی ، تحلیل سیستم، یا استفاده از مجموعه بردارهای تست به دست آوریم.

۳-۳-آستانه مفهومی

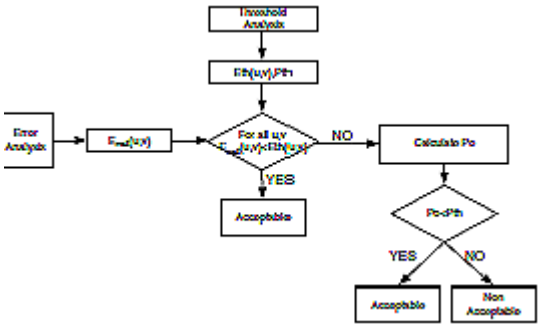
ما دو نوع آستانه داریم. اول ، آستانه خطا $(E_{th}(u,v))$ برای هر مولفه فرکانس که با استفاده از آستانه های مفهومی مشتق شده از معیارهای سیستم بصری انسان انتخاب می شود. برای مثال در رفرنس ۳ یک آستانه مفهومی برای هر ضریب DCT به دست می آید که مشخص می کند چه چیزی بصورت مفهومی کمی سازی بدون اتلاف را برای هر ضریب می سازد. اگر خطا در یک ضریب پایه DCT از مقدار آستانه تجاوز کند سپس اعوجاج محسوس در خروجی به شکل الگوی پایه DCT دیده می شود (الگوی منظم در دامنه پیکسل). به دلیل تغییرات در حساسیت کنتراست سیستم بینایی انسان بصورت تابعی از فرکانس مکانی، آستانه های مختلف در فرکانس های متفاوت انتخاب می شوند. در حالت ما ، ما به تفاضل مفهومی بین دو تصویرهای کوانتایز شده توجه می کنیم، در کنار تصویر کوانتایز شده و تصویر اصلی. این مهم است چون دیدیم هر چه کمی سازی درشت تر و تقریبی تر می شود اثر خطاها کم معنی تر می شود. وقتی کمی سازی خیلی درشت تر باشد ، حتی خطاهای بزرگ ناشی از نقص ها هم باعث تغییرات در خروجی کوانتایز شده نمی شوند (مقدار اصلی و مقدار با خطای افزوده ، به bin یکسان کوانتیزه می شوند).

این به ما اجازه می دهد از آستانه بزرگتری نسبت به آستانه مفهومی اصلی $(E_{th.oria})$ استفاده کنیم در حالتی که ضریب ها با محدوده پویای اندک (σ_{max}) باشند، این مقایسه می شود با اندازه گام کمی سازی(Δ). ما آستانه را بصورت ابتکاری (هیورستیک) دستکاری می کنیم. در اینجا σ_{max} تخمین محدوده پویای سیگنال است. سپس آستانه مفهومی اصلی را توسط $\sigma_{max})$ $E_{th}(u,v) = max(E_{th,orig}, \Delta -$ در حالت ۳ بخش ۲-۱ جایگزین می کنیم. برای حالت ۱ و حالت ۲ ، $E_{th}(u,v) = E_{th,orig}$, i.e., ، یعنی از همان آستانه رفرنس ۳ استفاده کردیم. آستانه دوم برای انتخاب، آستانه نرخ خطای خاص منظوره P_{th} می باشد. اگر کاربرد دارای محدودیت های کیفیت اکید باشد ، آنگاه P_{th} کم انتخاب می شود. چند مثال با مقادیر P_{th} مختلف در رفرنس ۱ وجود دارند.

۴-۳-تحلیل نقص

الگوریتم تحلیل عیب پیشنهادی در شکل ۵ دیده می شود. تحلیل شامل دو مرحله است. ابتدا، تحلیل معنی داری خطا تعیین می کند آیا ماکزیمم مقدار خطا بزرگتر از آستانه خطا برای هر مولفه فرکانسی هست یا نه. اگر خطای ماکزیمم کوچکتر از آستانه به ازای همه فرکانس ها باشد، عیب ها در سیستم قابل قبول هستند. یک متد تست در رفرنس ۷ با این نوع تحلیل توسعه داده شده که ورودی های آن بصورت یکنواخت توزیع شدند. کل فضای ورودی جستجو می شود، و حداقل یک بردار تست برای هر عیب قابل کشف در فضای نقص F دیده می شود. تعداد بردارهای تست برابر تعداد عیب ها در F میباشد. در این جا pdf ورودی خاص را تصور می کنیم، که مشخصات تصویر معمولی را می گیرد ما به روش تست جایگزین نیاز داریم.

مرحله دوم ، تحلیل نرخ خطا است، بررسی می کند چندبار خطای غیر قابل قبول بخاطر عیب در سیستم رخ می دهد. بر اساس E pmf/pdf و Y این کار انجام می شود. pdf Y مشخص است، ولی E pmf خیر ، و با تست به دست می آید. هدف ما ، به دست آوردن E pmf با استفاده از تعداد بردارهای تست کم می باشد.



شکل ۵-مروری بر تحلیل نقص

۴-تست نقص در سطح سیستم

۴-۱-فرمولاسیون

ورودی برداری به سیستم با $\mathbf{X}$ نشان داده می شود. فرض می شود به هر دو سیستم نقص دار و بدون عیب دسترسی داریم. خطا توسط تفریق خروجی سیستم نقص دار از بدون نقص محاسبه می شود. ما با مجموعه اولیه بردارهای تست (I) شروع می کنیم، آن قدر بزرگ هستند که تقریب خوب از $\text{pmf of E } (P_E(e))$ به دست آید. ما مجموعه کوچکتری (S) را انتخاب می کنیم تا [1][6] $\text{pmf of E } (P_{E,sub}(e))$ تضمین شود. N_I و N_S اندازه های I و S هستند. هدف ، کاهش تعداد ورودی در مجموعه I است طوری که $P_{E,sub}(e)$ برای همه نقص ها در فضای نقص F مشابه با $P_E(e)$ باشد. بعنوان متریک مشابهت بین pmf ها ، ما از همبستگی بین دو pmf استفاده می کنیم [1,5,7].

$$Corr(P_E(e), P_{E,sub}(e)) = \frac{\sum P_E(e)P_{E,sub}(e)}{\sqrt{\sum P_E(e)^2 \sum P_{E,sub}(e)^2}} \quad (9)$$

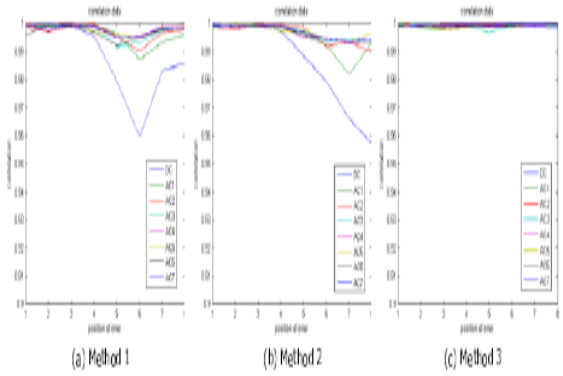
۴-۲-جواب های هیورستیک و نتایج

یک سیستم 2D DCT با استفاده از دو سیستم 1D DCT پیاده سازی می شود، که هر 1D DCT شامل N PE_is است. فرض می کنیم همه ی PE_i در اولین 1D DCT دارای ساختار شکل ۴ هستند. بعد DCT (N) ، ۸ می باشد ، و فضای نقص F متشکل از SSF در اتصالات بینابینی می باشد که توسط $\text{p1}^{\sim}\text{ p5 of } PE_i$ نمایش داده می شود. $\bar{C}_i$ یکی از هشت بردار پایه 1D DCT است (از DC تا AC7) که به PE_i خاصی وابسته می باشد. ما بردارهای تست را طوری انتخاب می کنیم که همه PE ها را بیازماییم. برای مجموعه اولیه (I) ، از یک تصویر تست معمولی استفاده کردیم که به بردارهای 1×8 تجزیه شد. سه نوع مجموعه ورودی کاهیده (S) نتیجه شد که تعداد بردارهای تست (N_S) یکسان دارند.

متد ۱: فرض کنید هر مولفه فرکانسی گاوسی باشد ، و میانه و واریانس هر یک را با مجموعه اولیه محاسبه کنیم. از مولد گاوسی تصادفی با آن پارامتر ها استفاده می کنیم(S1).

متد ۲: تصویر مجموعه اولیه را با با استفاده از فیلتر کردن و نمونه برداری کاهشی ، کوچک می کنیم. بعد از تصویر اندازه کوچک برای به دست آوردن بردارهای تست استفاده می کنیم (S2).

متد ۳ : از بردارهای 1×8 از مجموعه اولیه استفاده می کنیم، بطور منظم آن بردارهای 1D را زیر نمونه برداری می کنیم (S3)



شکل ۶-عملکرد تست مجموعه بردار کاهیده با استفاده از متریک همبستگی

شکل ۶ همبستگی بین pmf های واقعی و تخمینی را نشان می دهد ، وقتی که ما یک نقص در هر خط اتصال بینابین موقعیت p1 بلوک PE_i درج می کنیم. محور X شکل ۶ موقعیت نقص ها را (LSB تا MSB) در هر اتصال متقابل نشان می دهد و هر خط هم هر پایه را نشان می دهد. متد ۳ بهترین عملکرد را بین سه متد دیگر دارد (اندازه زیر مجموعه ۱ /۶۴ اولیه) و این متد بهترین عملکرد را در موقعیت های عیب دیگر در p2,p3,p4,p5 نشان می دهد. همبستگی بین دو pmf همیشه در همه موارد بالای ۰,۹۹ است.

اکنون اولین ماژول 1D DCT را (DCT ستونی) در سیستم 2D DCT شکل ۴ با استفاده از مجموعه بردار تست کاهیده فوق (S3) تست می کنیم تا معنی داری خطا و نرخ خطا را بیازماییم. مقادیر آستانه خطای

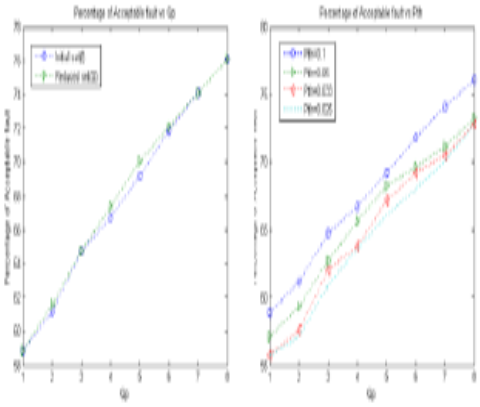
ما $(E_{th}(u,v))$ برای سیستم 2D DCT هستند. پس باید این ها را به آستانه های قابل کاربرد برای سیستم تک بعدی ترجمه و تبدیل کنیم.

فرض کنید یک SSF (f_k) در یک PE_i خاص اولین ماژول 1D DCT (ستونی) وجود داشته باشد. وقتی یک سری 1D DCT برای هر ستون با بلوک تصویر ۸ ورودی در ۸ انجام می دهیم یک سری خطا توسط f_k در ماژول PE_i تولید می شود. و آن خطاها در i امین هر یک از بلوک های خروجی ۸ در ۸ که در حافظه انتقال ذخیره شده نگهداری می شوند. این خطاها خیلی بهم همبسته اند اگر f_k در موقعیت های بیت بالاتر رخ دهد و ضیف تر همبسته اند اگر این در موقعیت های بیت کم ارزش تر رخ دهد.

بعد ، 1D DCT دومی (سطری) ، برای موارد بیت بالاتر ، بخاطر همبستگی، خطای نهایی در خروجی 2D DCT بر اولین ستون سطر i ام تمرکز می کند یعنی $E(i,1)$ حاوی بیشترین انرژی خطا است. برای موارد بیت پایین تر ، بخاطر فقدان همبستگی ، خطا روی همه ستون های سطر i ام گسترده می شود یعنی $E(i,1) \sim E(i,8)$ حاوی مقادیر انرژی نسبتا مشابه است. فرض می شود خطاها در موارد بیت پایین تر خیلی همبسته اند (برای سهولت کار) ، این بدتر از حالتی است که خطاها بطور برابر توزیع شوند. با این فرض می توانیم کران پایین برای درصد نقص های قابل قبول تعیین کنیم. وقتی E ، خطای تولید شده توسط PE_i باشد، خطای نهایی $E(i,1)$ در خروجی 2D DCT ، $\sqrt{N}E$ خواهد بود چون که پایه 1D DCT ، و $[\frac{1}{\sqrt{N}},...,\frac{1}{\sqrt{N}}]$ and $\frac{1}{\sqrt{N}} \times N \times E = \sqrt{N}E.$ است. با استفاده از فرض $E_{th}(1,i)$ ، معین، می توانیم آستانه پذیرش را برای 1D DCT اولی بصورت 1D DCT as $E_{th,1D}(i) = \frac{E_{th}(1,i)}{\sqrt{N}}$، انتخاب کنیم، این تضمین می کند نقص های قابل قبول (در 1D DCT اولی) موجی می شود که نتایج از نظر مفهومی بدون اتلاف باشند.

در آزمایش های ما، آستانه نرخ خطا (P_{th}) را تغییر می دهیم و اندازه bin را کوانتیزه می کنیم (تعیین می کنیم) تا رابطه بین آن پارامترها و درصد نقص های قابل قبول را مشاهده کنیم. اندازه bin کمی سازی توسط ضرب یک عدد صحیح Q_p با جدول کمی سازی JPEG پایه اصلاح می شود.

+



شکل ۷-عملکرد تست S3 برای بلوک 1D DCT

شکل ۷ درصد نقص هایقابل قبول را با استفاده از مجموعه اولیه و مجموعه کاهیده (S) نشان می دهد.

تفاضل بین دو مورد نسبتا کم است. پس می شود سیستم 1D DCT اول را با استفاده از S با اطمینان کافی ، تست کنیم. درصد عیب های قابل قبول در کل محدوده عملیاتی بالای ۵۰ ٪ است، و هر چه اندازه های bin کمی سازی افزایش می یابد، درصد نقص های قابل قبول هم زیاد می شوند. چون هر چه اندازه bin کمی سازی زیاد می شود ، نویز کمی سازی هم بیشتر رخ می دهد ، پس سیستم در برابر خزاهای بزرگتر ناشی از نقص بیشتر تاب آور می شود. مشاهده دیگر اینکه هر چه آستانه نرخ خطا زیاد شود نقص های بیشتری قابل قبول خواهند بود ، چون ما استاندارد را برای تنزل قابل قبول از دست داده ایم.

بحث و جمع بندی

ما یک چارچوب کلی برای تحلیل تبدیل خطی پس از کمی سازی ارائه کردیم. ما تاثیر نقص بر سیستم را تخمین زدیم ، بلوک کمی سازی و بلوک تبدیل خطی را جداگانه تحلیل نمودیم. نقص ها در تبدیل خطی بصورت خطاهای افزوده شده به خروجی تبدیل ، مدل می شوند. ما DCT را بعنوان یک تبدیل برگزیدیم، و آستانه های مفهومی را برای تنزل قابل قبول معرفی کردیم ، پس تراشه ها نیز به دو نوع قابل و غیر قابل پذیرش تقسیم شدند. با استفاده از آستانه های مفهومی و تحلیل سیستم خود ، یک تحلیل نقص کلی برای این سیستم پیشنهاد دادیم که متشکل از معنی داری خطا و تحلیل نرخ خطا می باشد. Pmf خطا با استفاده از تعداد بردارهای تست کوچک تخمین زده می شود، تا هزینه های تست حداقل گردند. نتایج ما نشان می دهند بخش قابل توجهی از نقص های بین اتصالات (۵۰ درصد موارد) در یک ماژول 1D DCT ، در عمل کدگذار JPEG ، در هر نرخ فشرده سازی ، قابل قبول هستند.

اهمیت بهبود الگوریتم های تبدیلات خطی نشان داده است که ارتقاء الگوریتم های تبدیلات خطی می تواند به بهبود و کارایی فشرده سازی چند رسانه ای و افزایش مقاومت در برابر خطا کمک کند و نیاز به بررسی تأپیر متغیرها بر کیفیت فشرده سازی مانند نوع داده نرخ خطا و اندازه بسته های داده بر کیفیت فشرده سازی و مقاومت در برابر خطا جهت بهبود روش های الگوریتمی و تست تاثیر دارد. ارزش استفاده از تبدیلات خطی در معماری های سخت افزاری به بهبود کارایی تست و افزایش مقاومت در برابر خطا و امنیت در فشرده سازی چند رسانه ای کمک می کند. بر اساس مقاله مروری در حوزه تست سخت افزار برای فشرده چند رسانه ای مقاوم در برابر خطا بر اساس تبدیلات خطی می توان به برخی از نتایج و دستاوردها اشاره کرد.

۱-ارزیابی تأثیر تبدیلات خطی بر کیفیت وکارآمدی فشرده سازی چندرسانه ای : مقالات مروری بیان می کنند که استفاده از تبدیلات خطی می تواند بهبود قابل ملاحظه ای در کیفیت و کار آمدی فشرده سازیچندرسانه ای داشته باشد.

۲- مقایسه تست سخت افزار مبتنی بر تبدیلات خطی مقاله ها به بررسیو مقایسه عملکرد تست سخت افزار مختلف که از تبدیلات خطی استفاده می کنند پرداخته اند و نشان داده اند که این روش ها می توانند بهبود های قابل توجهی را در نتایج تست ها ایجاد کنند. معمولا پیشنهاداتی برای استفاده بهینه از تبدیلات خطی در فشرده سازی چندرسانه ای و تست سخت افزار ارایه می دهند که نشان میدهد در بهبود کارایی فشرده سازی چندرسانه ای و تست سخت افزار در مقابل خطا می باشند

رویکردهای آتی

الگوریتم های تبدیلات خطی ارائه و بهبود الگوریتم های تبدیلات خطی می تواند به بهبود کارایی فشرده سازی چندرسانه ای و افزایش مقاومت در برابر خطا کمک کند پژوهش های بیشتر بر روی بهینه سازی و پیشرفت الگوریتم های تبدیلات خطی می تواند این حوزه را توسعه دهد در واقع طراحی و توسعه الگوریتم های تبدیلات خطی مستحکم تر بر روی بهبود الگوریتم های تبدیلات خطی برای افزایش کیفیت فشرده سازی و مقاومت در برابر خطا تمرکز دارد. ارزیابی شبیه سازی پیشرفته برای تست سخت افزار جهت ارزیابی و تست الگوریتم های فشرده سازی چندرسانه ای مقاوم در برابر خطا بر اساس تبدیلات خطی و صحت نتایج بدست آمده است. ارائه دیدگاه و رویکردی نوین برای مقاومت در برابر حملات برای تضمین امنیت سیستم های فشرده سازی چندرسانه ای در برابر حملات خارجی و داخلی است و بررسی تأثیر تبدیلات خطی در معماری های سخت افزاری متنوع ارزیابی عملکرد و کارایی تبدیلات خطی در محیط های سخت افزاری مختلف و بهره برداری از این تبدیلا بهینه در آنها است.

ارزیابی تأثیر متغییرهای مختلف بر کیفیت فشرده سازی مطالعه تأثیرهای متغییرهای مختلف مانند نوع داده نرخ خطا و اندازه بسته های داده بر کیفیت فشرده سازی و کارایی تست سخت افزار می تواند به بهبود در عملکرد و کارایی تست سخت افزار کمک کند و بررسی روش های مقاومت در برابر حملاتو خطاها و افزایش امنیت سیستم های فشرده سازی جندرسانه ای را ممکن می سازند وب این پیشنهادات می توان در حوزه سخت افزار برای فشرده سازی جند رسانه ای مقاوم به توسعه در بهبود کارایی و امنیت در برابر خطا بر اساس تبدیلا خطی کمک کرد

تعارض منافع

«هیچ‌گونه تعارض منافع توسط نویسندگان بیان نشده است»

منابع و مآخذ

[1] Chong IS, Ortega A. Hardware testing for error tolerant multimedia compression based on linear transforms. In20th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'05) 2005 Oct 3 (pp. 523-531). IEEE.
IEEE.

[2] Zhu N, Goh WL, Wang G, Yeo KS. Enhanced low-power high-speed adder for error-tolerant application. In2010 International SoC Design Conference 2010 Nov 22 (pp. 323-327). IEEE.

[3] Zhu N, Goh WL, Zhang W, Yeo KS, Kong ZH. Design of low-power high-speed truncation-error-tolerant adder and its application in digital signal processing. IEEE transactions on very large scale integration (VLSI) systems. 2009 Oct 13;18(8):1225-9.

[4] Kyaw KY, Goh WL, Yeo KS. Low-power high-speed multiplier for error-tolerant application. In2010 IEEE international conference of electron devices and solid-state circuits (EDSSC) 2010 Dec 15 (pp. 1-4). IEEE.Barua HB, Mondal KC. Approximate computing: A survey of recent trends—bringing greenness to computing and communication. Journal of The Institution of Engineers (India): Series B. 2019 Dec;100(6):619-26.

[5] Shin D, Gupta SK. Approximate logic synthesis for error tolerant applications. In2010 Design, Automation & Test in Europe Conference & Exhibition (DATE 2010) 2010 Mar 8 (pp. 957-960). IEEE.

[6] Li X, Yeung D. Application-level correctness and its impact on fault tolerance. In2007 IEEE 13th International symposium on high performance

computer architecture 2007 Feb 10 (pp. 181-192). IEEE.
[7] Shin D, Gupta SK. A new circuit simplification method for error tolerant applications. In2011 Design, Automation & Test in Europe 2011 Mar 14 (pp. 1-6). IEEE.
[8] Jiang H, Santiago FJ, Mo H, Liu L, Han J. Approximate arithmetic circuits: A survey, characterization, and recent applications. Proceedings of the IEEE. 2020 Aug 12;108(12):2108-35.
[9] Han J, Orshansky M. Approximate computing: An emerging paradigm for energy-efficient design. In2013 18th IEEE European Test Symposium (ETS) 2013 May 27 (pp. 1-6). IEEE.
[10] Bruguera, J.D. and Osorio, R.R., 2006, August. A unified architecture for H. 264 multiple block-size DCT with fast and low cost quantization. In *9th EUROMICRO Conference on Digital System Design (DSD'06)* (pp. 407-414). IEEE.
[11] Jiang H, Liu C, Liu L, Lombardi F, Han J. A review, classification, and comparative evaluation of approximate arithmetic circuits. ACM Journal on Emerging Technologies in Computing Systems (JETC). 2017 Aug 11;13(4):1-34.
[12] Sabetzadeh F, Moaiyeri MH, Ahmadinejad M. A majority-based imprecise multiplier for ultra-efficient approximate image multiplication. IEEE Transactions on Circuits and Systems I: Regular Papers. 2019 Jun 4;66(11):4200-8.
[13] Yang Z, Zhang Y, Yu J, Cai J, Luo J. End-to-end multi-modal multi-task vehicle control for self-driving cars with visual perceptions. In2018 24th international conference on pattern recognition (ICPR) 2018 Aug 20 (pp. 2289-2294). IEEE.
[14] Jiang H, Han J, Qiao F, Lombardi F. Approximate radix-8 booth multipliers for low-power and high-performance operation. IEEE Transactions on Computers. 2015 Oct 26;65(8):2638-44.
[15] Shafique M, Hafiz R, Javed MU, Abbas S, Sekanina L, Vasicek Z, Mrazek V. Adaptive and energy-efficient architectures for machine learning: Challenges, opportunities, and research roadmap. In2017 IEEE Computer society annual symposium on VLSI (ISVLSI) 2017 Jul 3 (pp. 627-632). IEEE..
[16] Jiang H, Han J, Qiao F, Lombardi F. Approximate radix-8 booth multipliers for low-power and high-performance operation. IEEE Transactions on Computers. 2015 Oct 26;65(8):2638-44.
[17] Dalloo A, Najafi A, Garcia-Ortiz A. Systematic design of an approximate adder: The optimized lower part constant-OR adder. IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2018 Apr 19;26(8):1595-9..
[18] Almurib HA, Kumar TN, Lombardi F. Inexact designs for approximate low power addition by cell replacement. In2016 Design, Automation & Test in Europe Conference & Exhibition (DATE) 2016 Mar 14 (pp. 660-665). IEEE.
[19] Jiang H, Han J, Qiao F, Lombardi F. Approximate radix-8 booth multipliers for low-power and high-performance operation. IEEE Transactions on Computers. 2015 Oct 26;65(8):2638-44.
[20] Park G, Kung J, Lee Y. Design and analysis of approximate compressors for balanced error accumulation in MAC operator. IEEE Transactions on Circuits and Systems I: Regular Papers. 2021 Apr 26;68(7):2950-61.

سپیده گوهری

سرکار خانم سپیده گوهری در سال ۱۳۸۹مدرک کاردانی نا پیو سته نرم افزار را از دانشگاه آزاد اسلامی واحد کرج گرفته اند و درسال ۱۳۹۴ مدرک کارشناسی ناپیوسته نرم افزار را از دانشکده مهندسی کامپیوتر دانشگاه آزاد اسلامی واحد تهران شمال را دریافت نموده اند. ایشان در سال ۱۴۰۰ مدرک کارشناسی ارشد معماری سیستم های کامپیوتری را از دانشکده برق و کامپیوتر دانشگاه صنعتی خواجه نصیرالدین طوسی اخذ نموده و دوره های فنی مرتبط را در مقطع کارشناسی ارشد در دانشگاه علم صنعت نیز گذرانده اند. ایشان اکنون در دوره دکتری تخصصی در دانشکده مهندسی کامپیوتر دانشگاه آزاد اسلامی واحد تهران شمال مشغول به تحصیل و تدریس در مقطع دورس کارشناسی می باشند و به تألیف مقالات علمی در زمینه تخصیصی شان می پردازند .

COPYRIGHTS
©2023 by the authors. Published by the Islamic Azad University, Khodabandeh Branch, Zanjan. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0